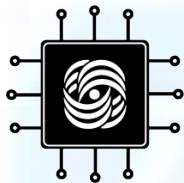


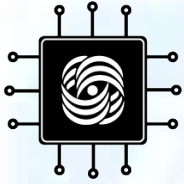
АРХИТЕКТУРА КОМПЬЮТЕРНЫХ СИСТЕМ

Лекция 4: *Цифровой логический уровень*



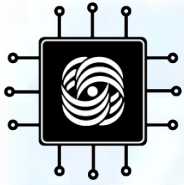
План лекции

- Вентили
- Интегральные схемы
- Организация памяти

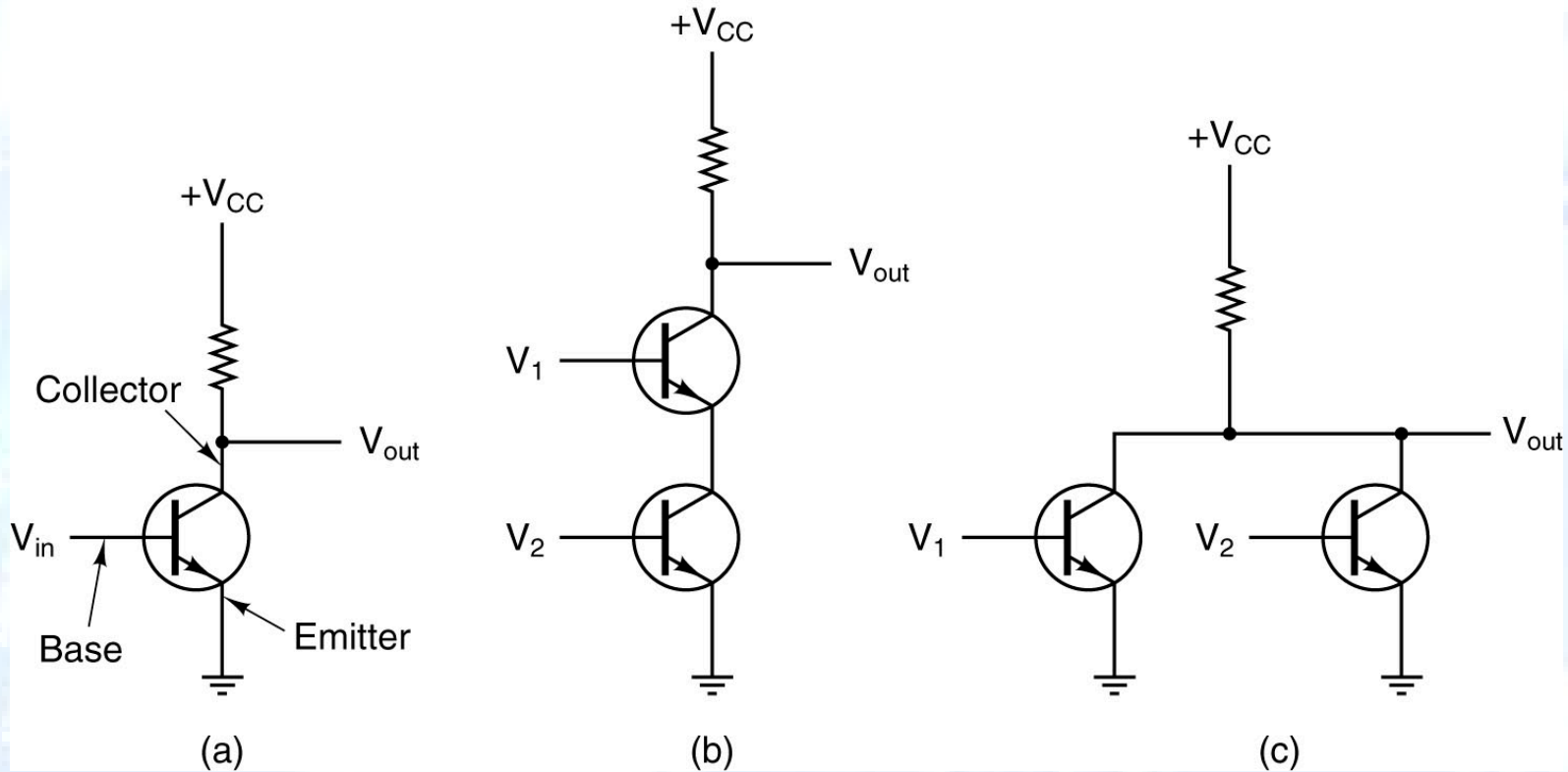


Уровни архитектуры

- Цифровой логический уровень
- Уровень микроархитектуры
- Уровень архитектуры набора команд
- Уровень операционной системы
- Уровень ассемблера



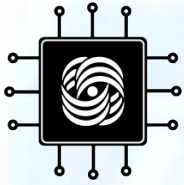
Вентили



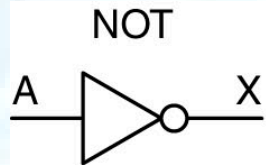
(a) Транзисторный инвертор

(b) Вентиль НЕ-И

(c) Вентиль НЕ-ИЛИ

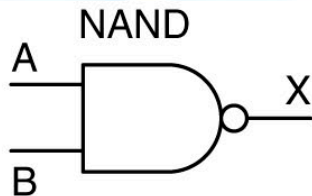


Вентили и булева алгебра



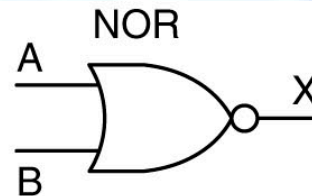
A	X
0	1
1	0

(a)



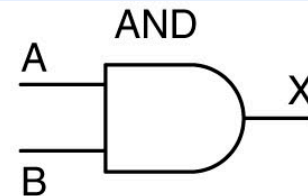
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

(b)



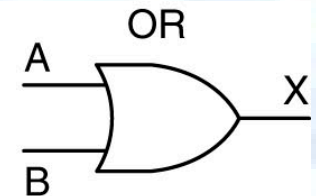
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

(c)



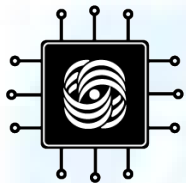
A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

(d)



A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

(e)

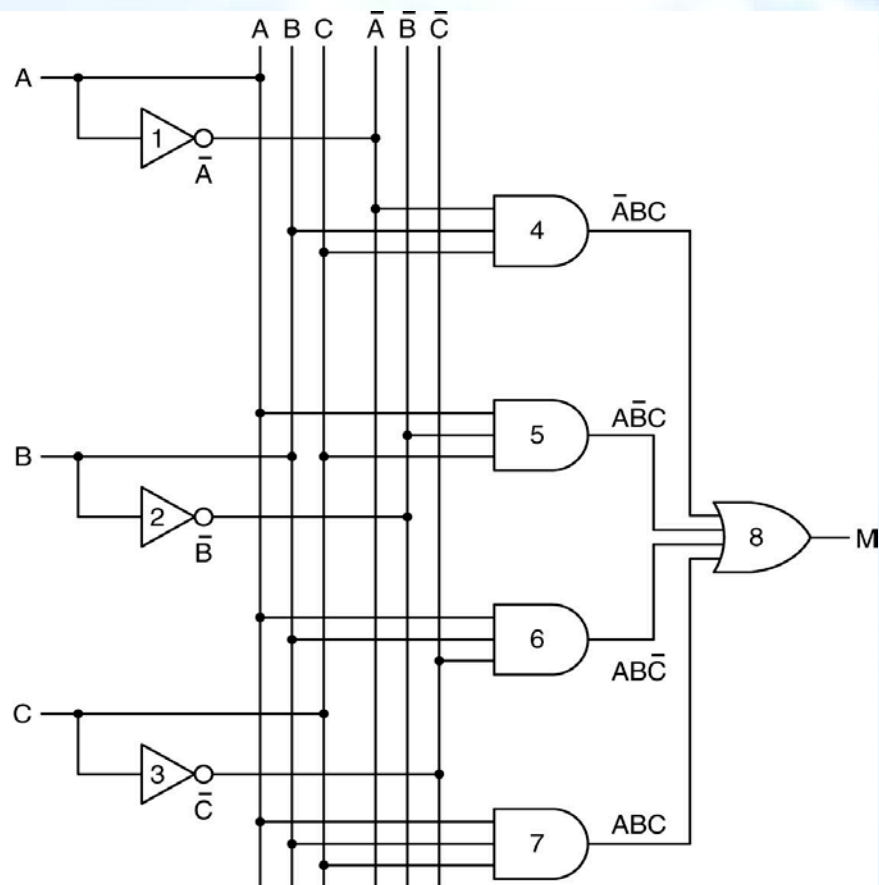


Булева алгебра

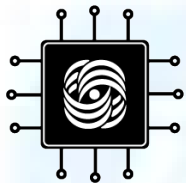
(a)
(b)

A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

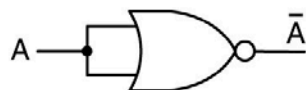
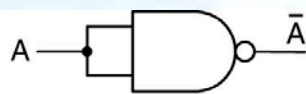
(a)



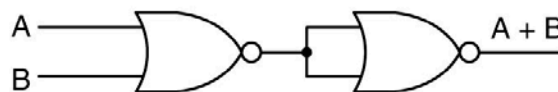
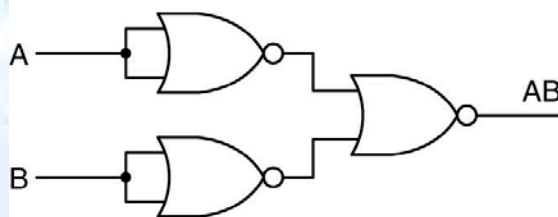
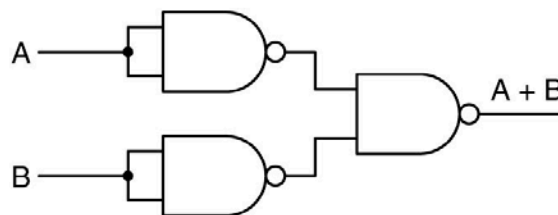
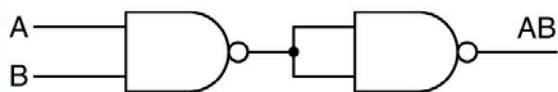
(b)



Эквивалентность схем

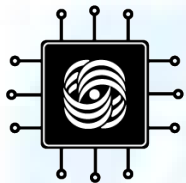


(a)

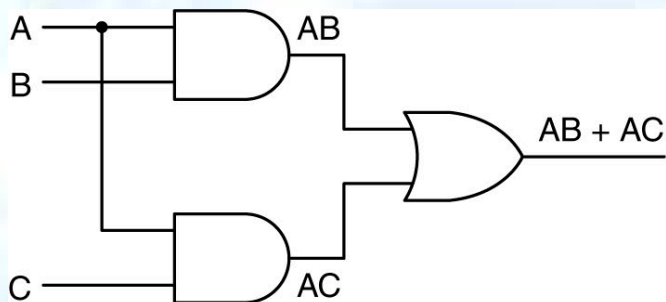


(b)

(c)

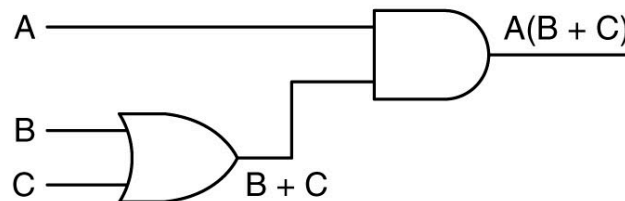


Эквивалентность схем (2)



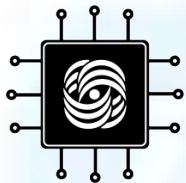
A	B	C	AB	AC	AB + AC
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	1	1

(a)



A	B	C	A	B + C	A(B + C)
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1

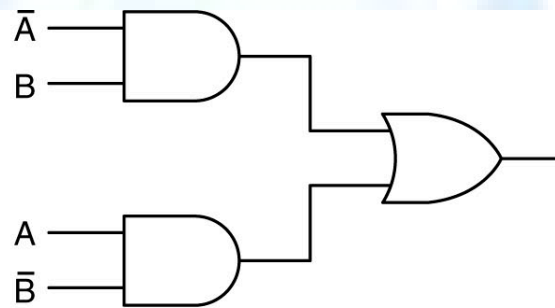
(b)



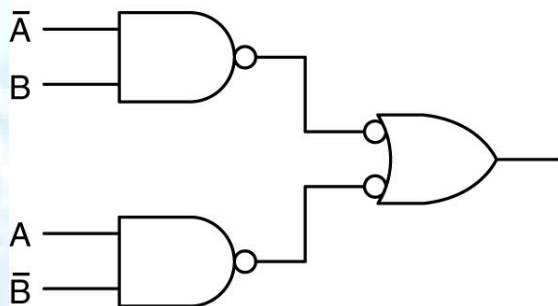
Реализация XOR

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

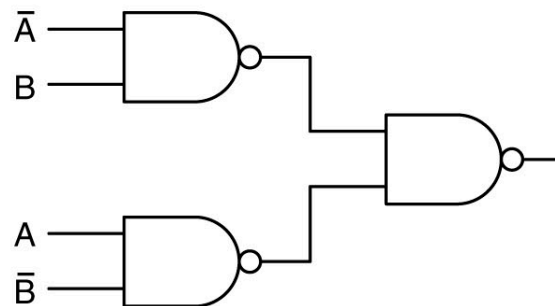
(a)



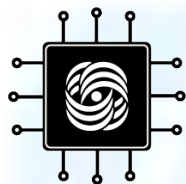
(b)



(c)



(d)



Электрические характеристики

A	B	F
0 ^V	0 ^V	0 ^V
0 ^V	5 ^V	0 ^V
5 ^V	0 ^V	0 ^V
5 ^V	5 ^V	5 ^V

(a)

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

(b)

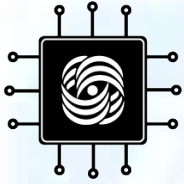
A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

(c)

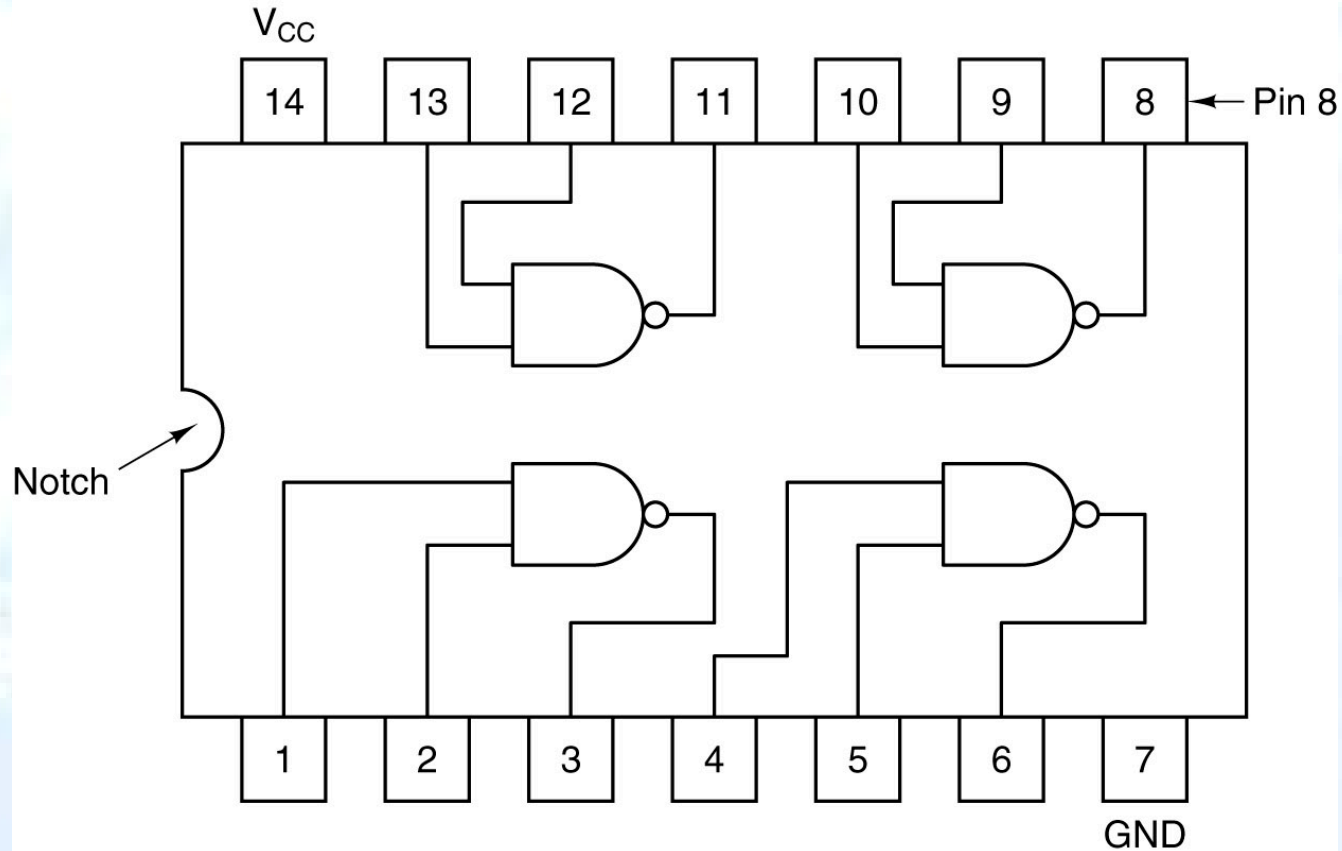
(a) Электрические характеристики устройств.

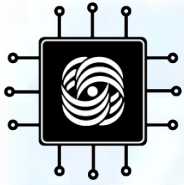
(b) Позитивная логика.

(c) Негативная логика.



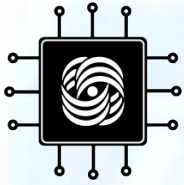
Интегральные схемы





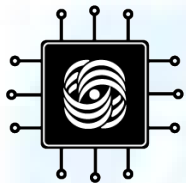
Основные интегральные схемы

- Комбинаторные схемы
- Арифметические схемы
- Тактовые генераторы



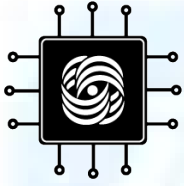
Комбинаторные схемы

- Мультиплексоры
- Декодеры
- Компараторы
- Программируемые логические матрицы



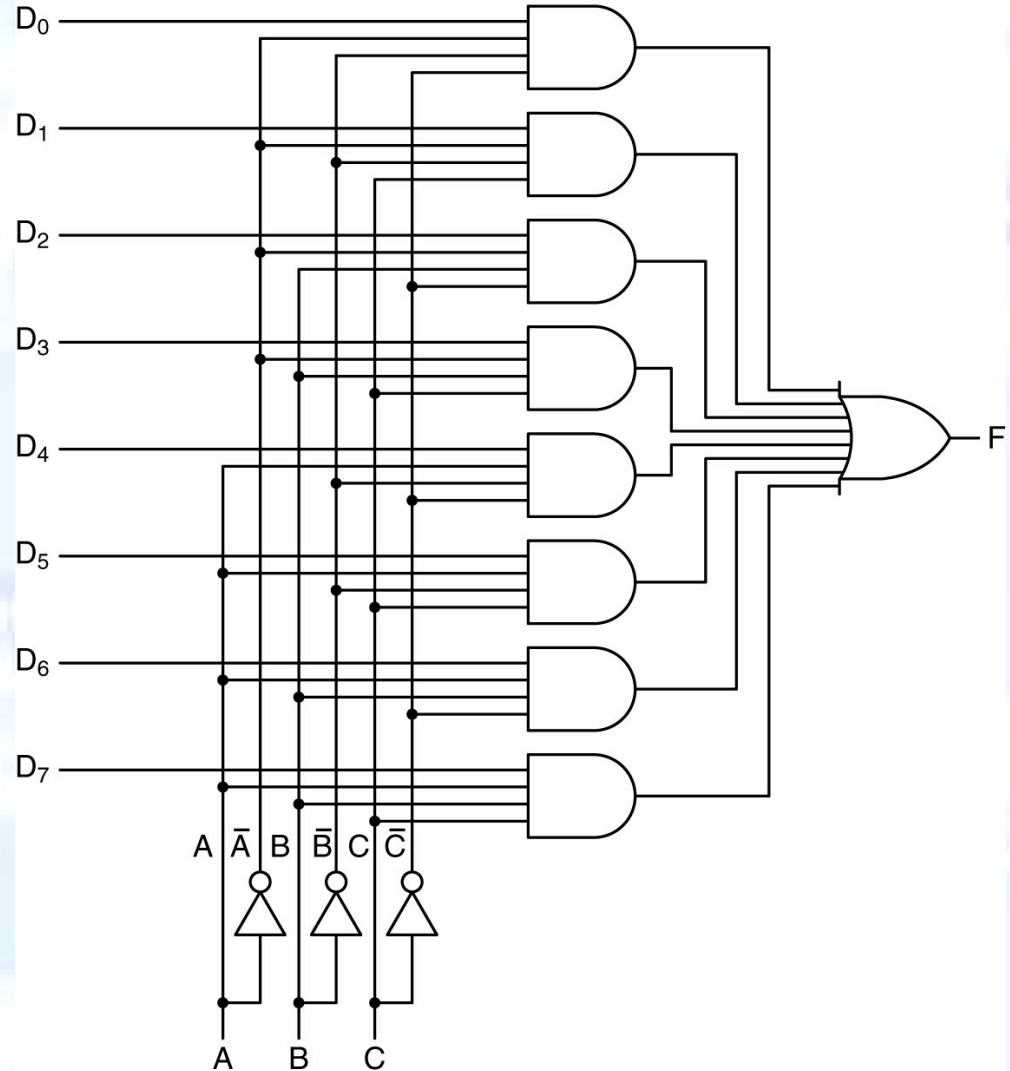
Мультиплексор

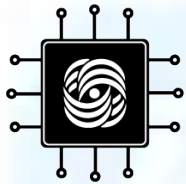
- Вход – 2^N
- Выход – 1
- N – линий управления
- Выбранный вход соединяется с Выходом



Мультиплексоры (2)

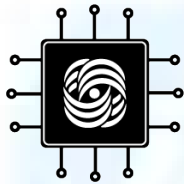
8-ми ВХОДОВЫЙ
мультиплексор



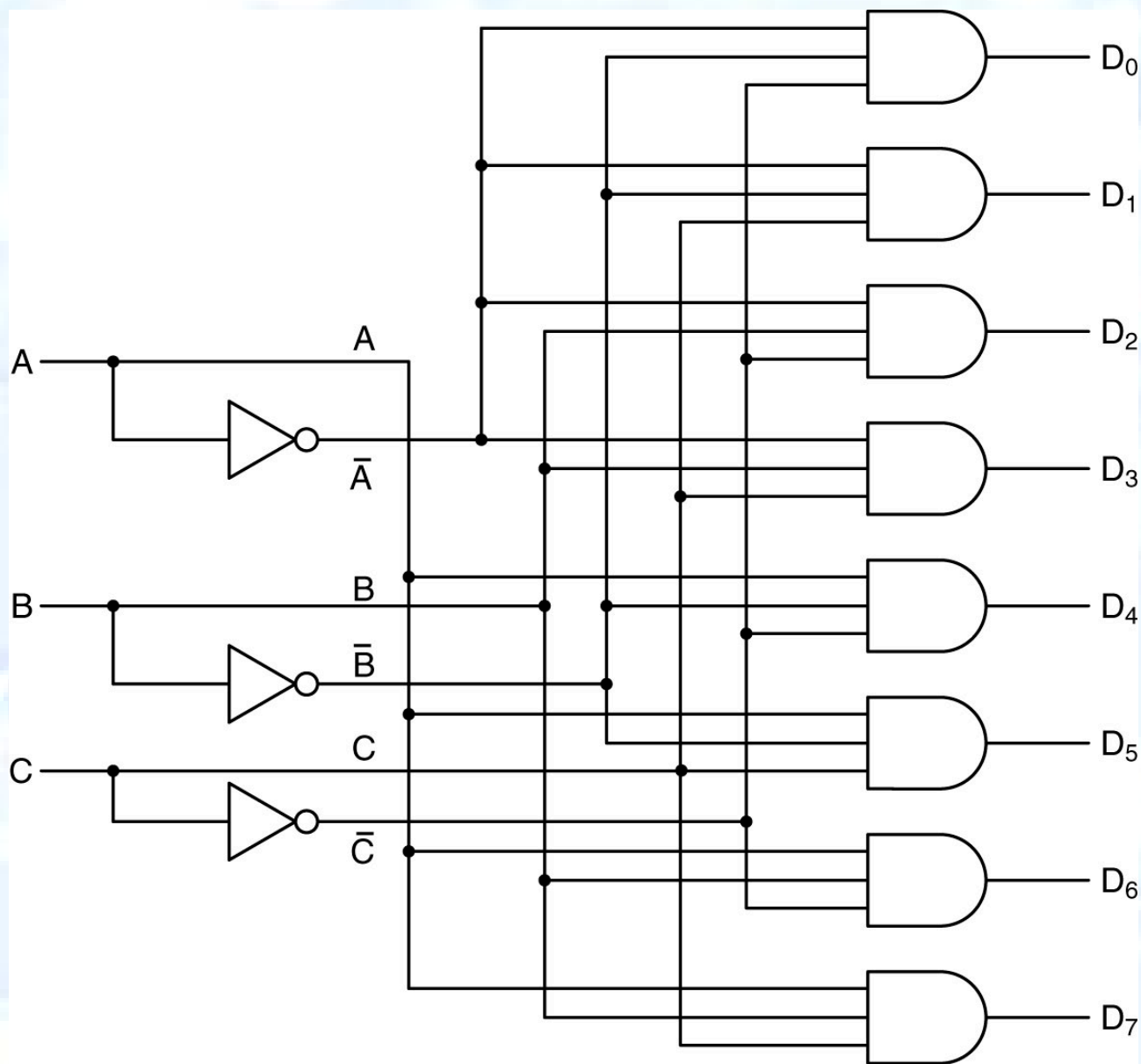


Декодеры

- Вход – n -разрядное число
- Выход – '1' одна из 2^N выходных линий

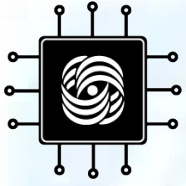


Декодер



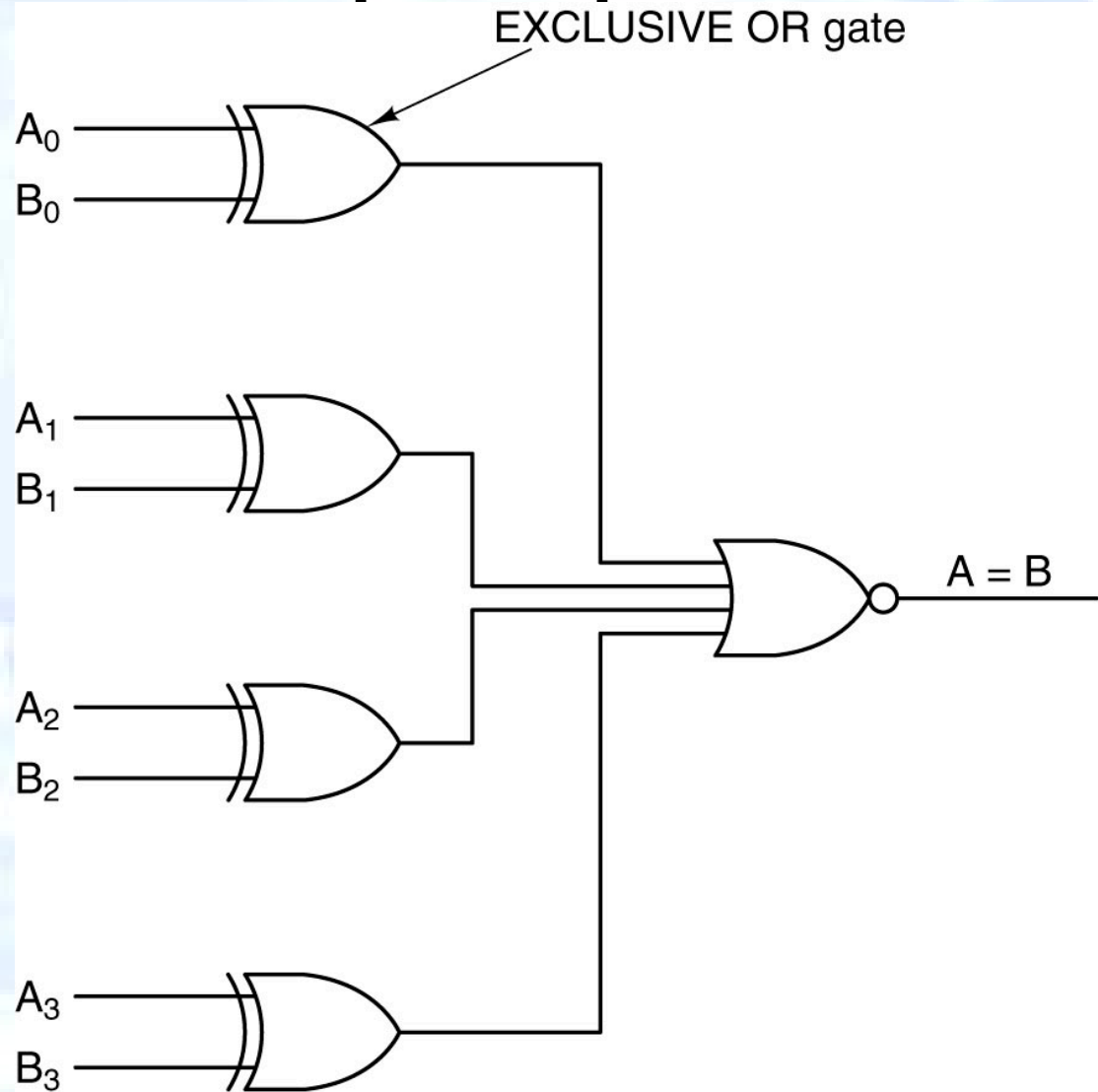
A 3-to-8
decoder

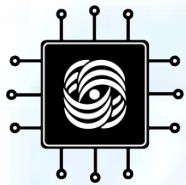
circuit



Компараторы

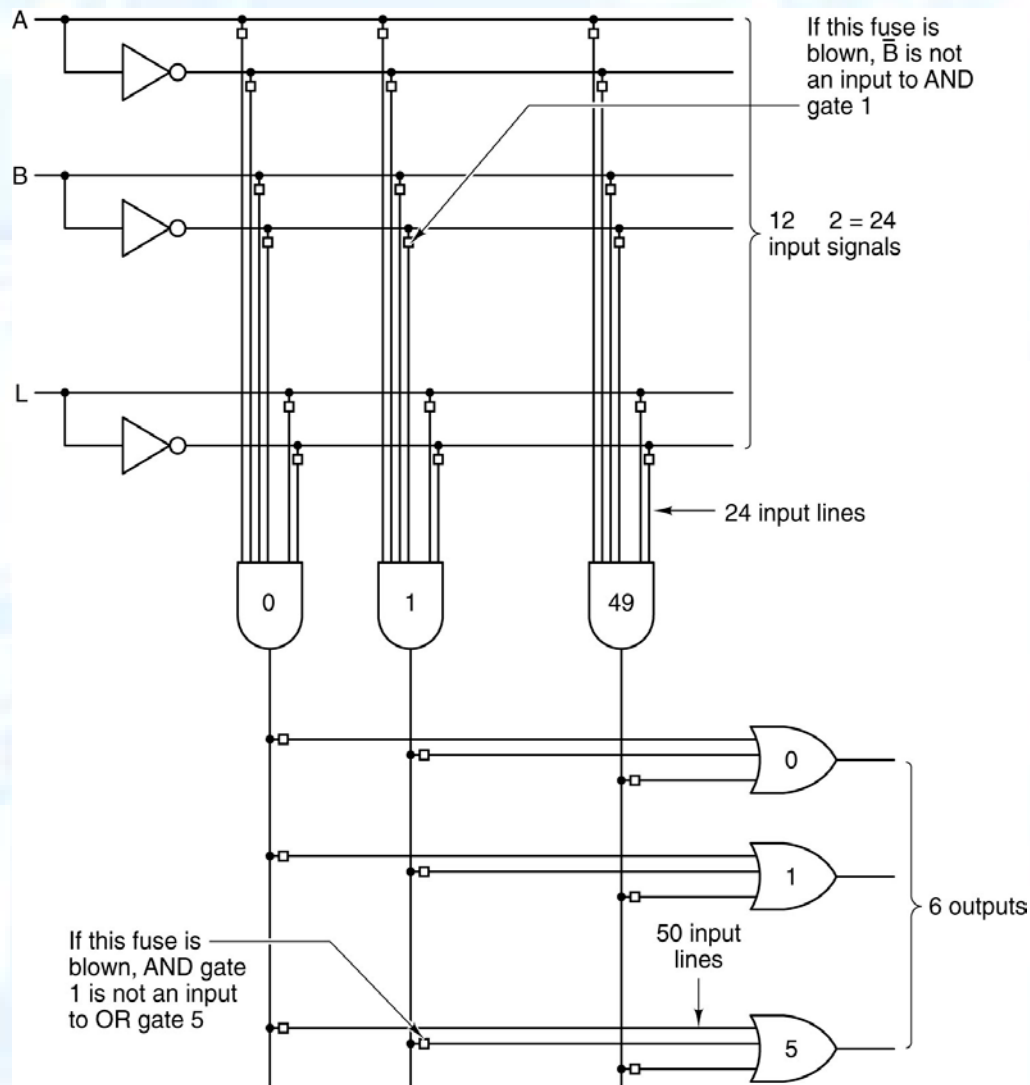
Простой 4-
битный
компаратор

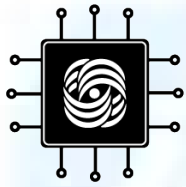




Программируемые Логические Матрицы

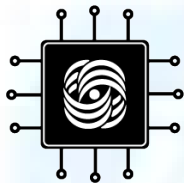
12-входов, 6-выходов
Программируемая
логическая
матрица.
Содержит плавкие
перемычки.



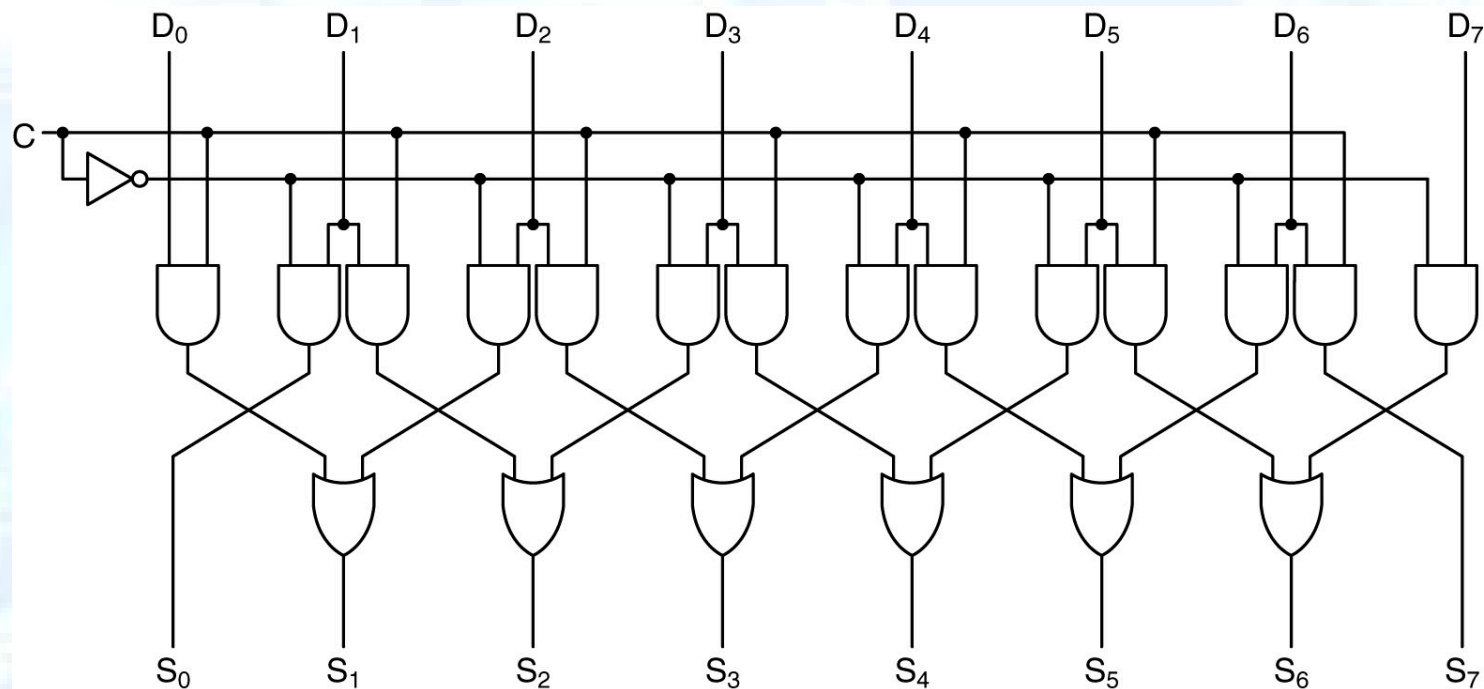


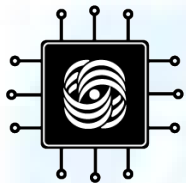
Арифметические схемы

- Схемы сдвига
- Сумматоры
- Арифметико-логические устройства



Схемы сдвига

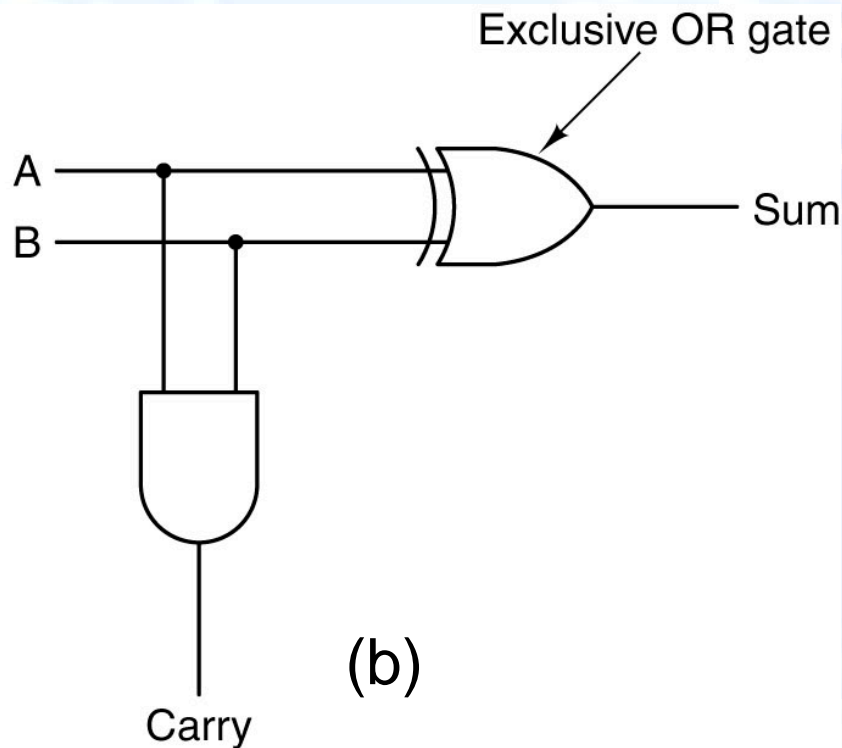




Полусумматор

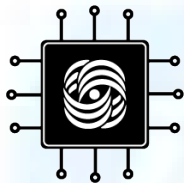
A	B	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

(a)



(b)

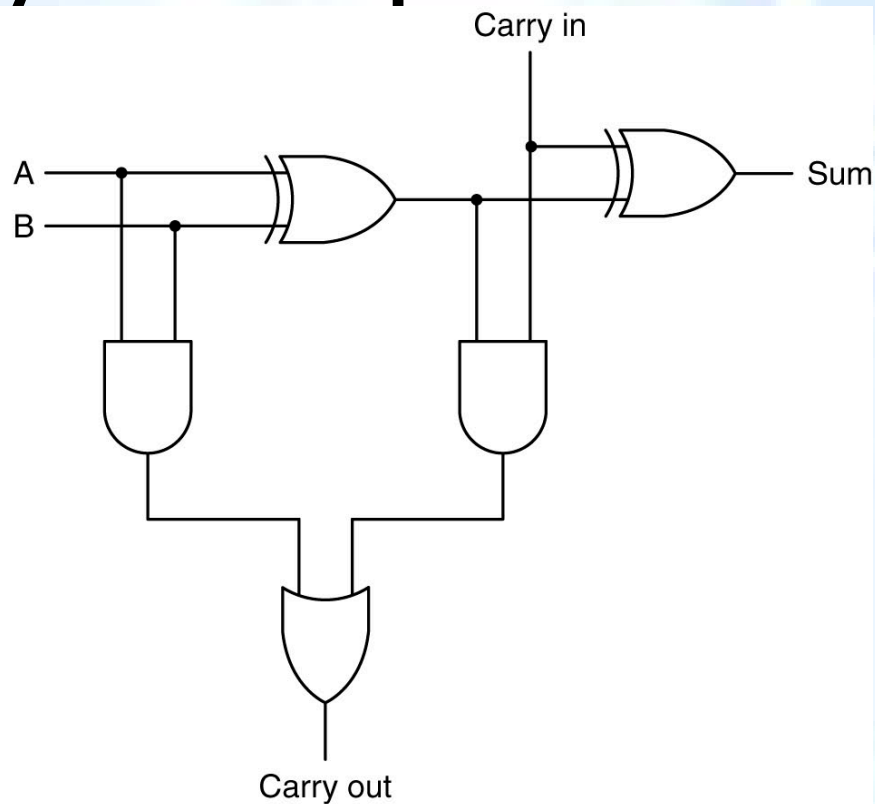
- (a) Таблица истинности для 1 бита.
(b) Схема полусумматора.



Сумматор

A	B	Carry in	Sum	Carry out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

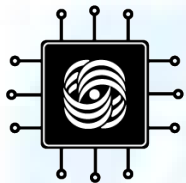
(a)



(b)

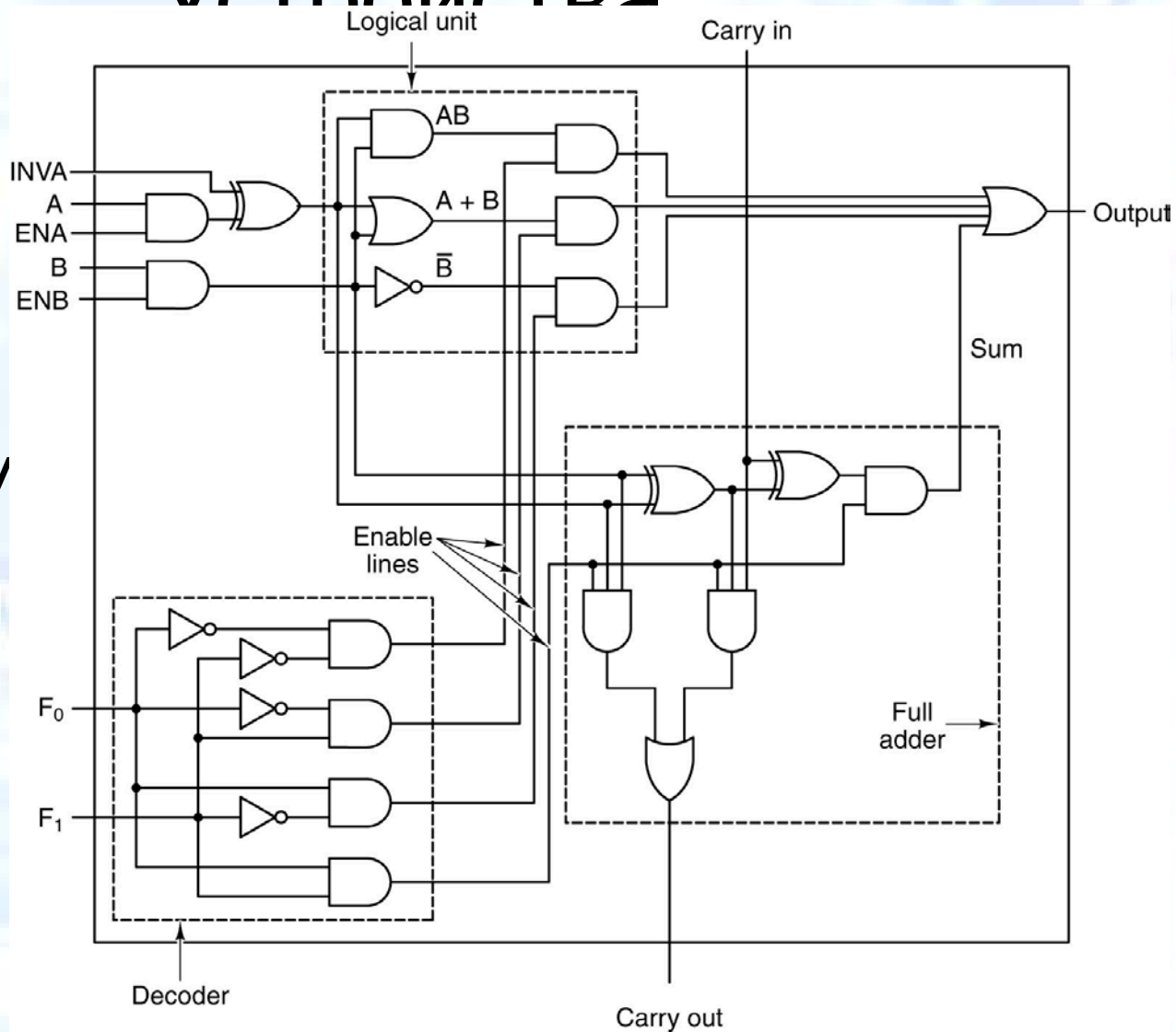
(a) Таблица истинности для сумматора.

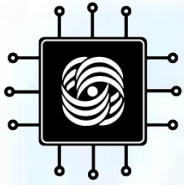
(b) Схема истинности



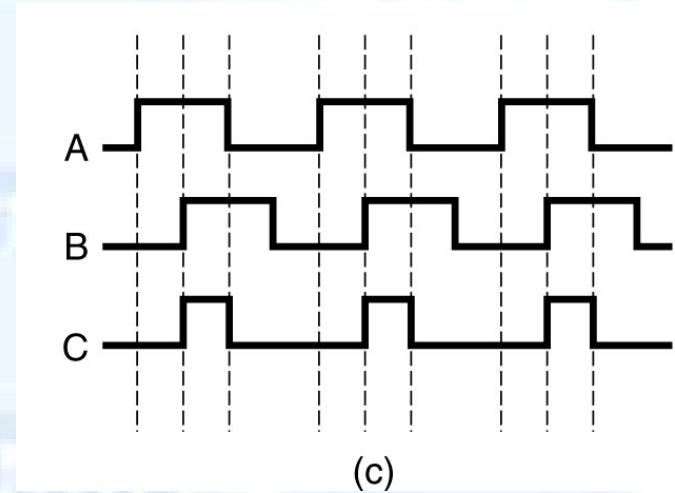
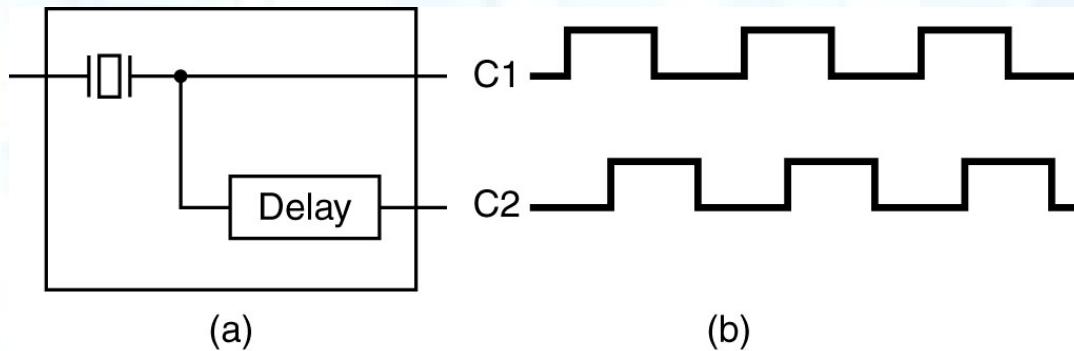
Арифметико-Логические Устройства

1-битовое АЛУ

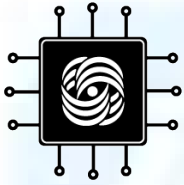




Тактовые генераторы

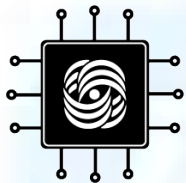


- (a) Тактовый генератор
- (b) Временная диаграмма
- (c) Генерация асинхронных ИМПУЛЬСОВ

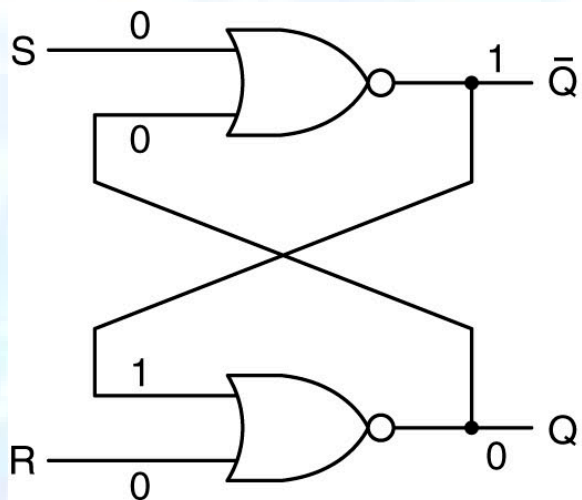


Память

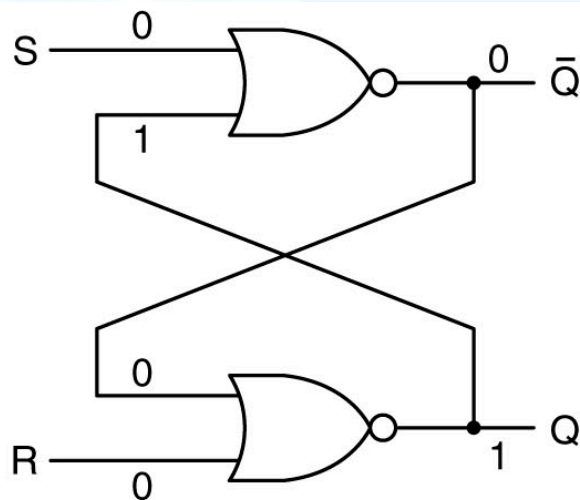
- Защёлки
- Синхронные SR-Защёлки
- Синхронные D-Защёлки



Защёлки



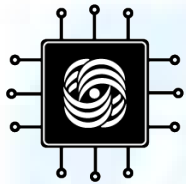
(a)



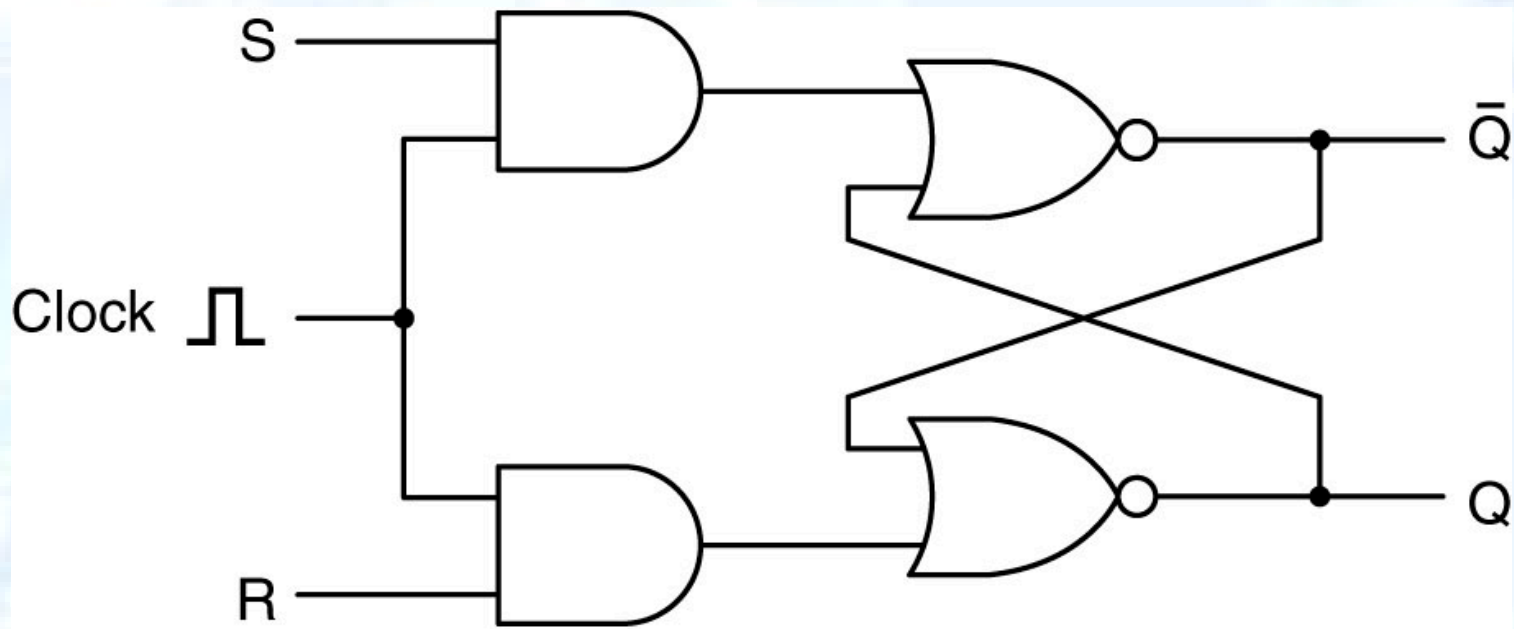
(b)

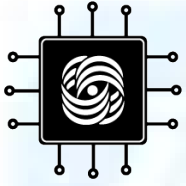
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

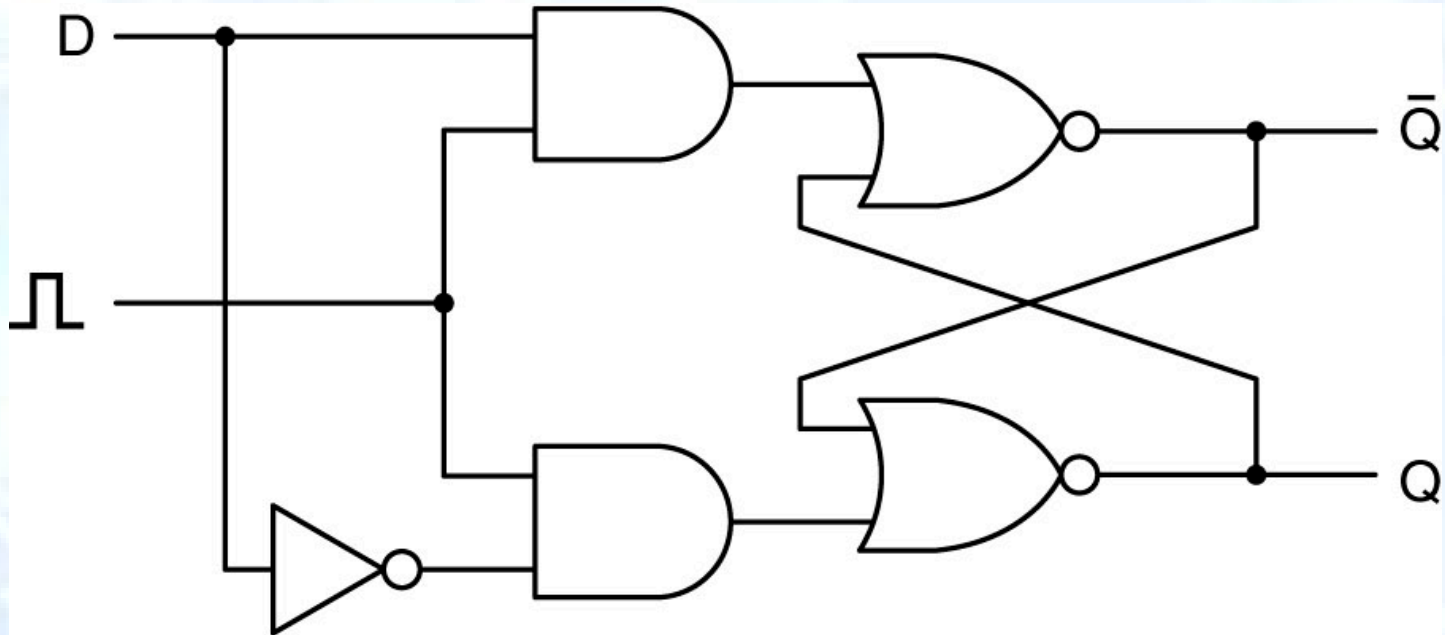


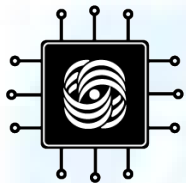
Синхронные SR-защёлки



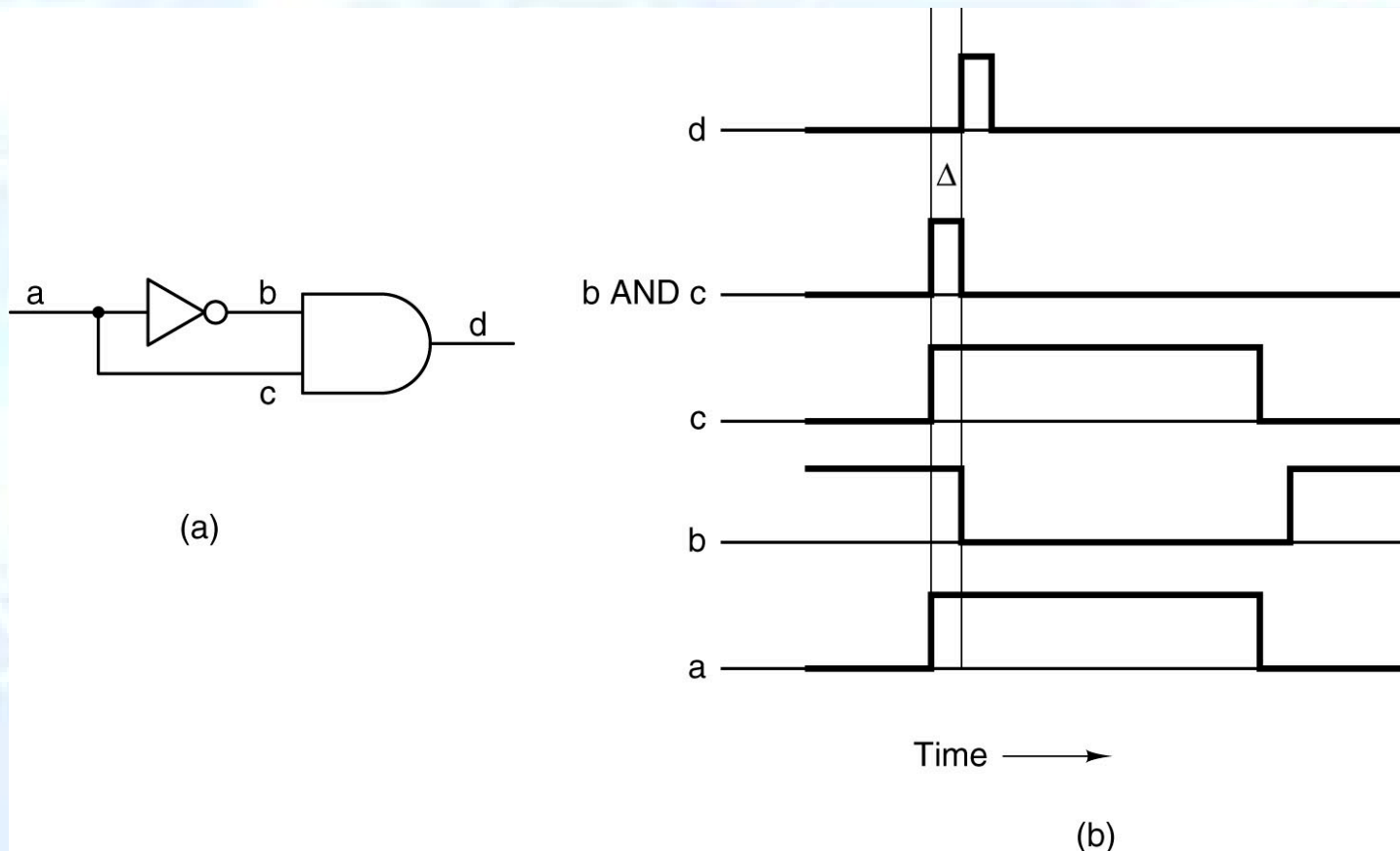


Синхронные D-защёлки



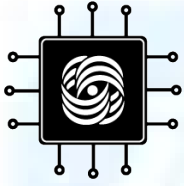


Триггеры



(a) Генератор импульса

(b) Временная диаграмма для 4 точек на схеме.



Спасибо за внимание!