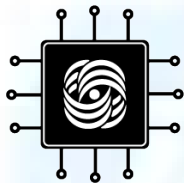


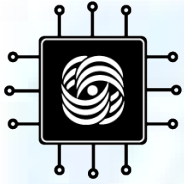
АРХИТЕКТУРА КОМПЬЮТЕРНЫХ СИСТЕМ

Лекция 5: *Цифровой логический уровень (продолжение)*



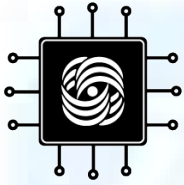
План лекции

- Организация памяти
- Организация работы шин передачи данных
- Устройство процессора Pentium 4



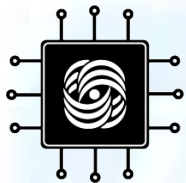
Уровни архитектуры

- **Цифровой логический уровень**
- Уровень микроархитектуры
- Уровень архитектуры набора команд
- Уровень операционной системы
- Уровень ассемблера

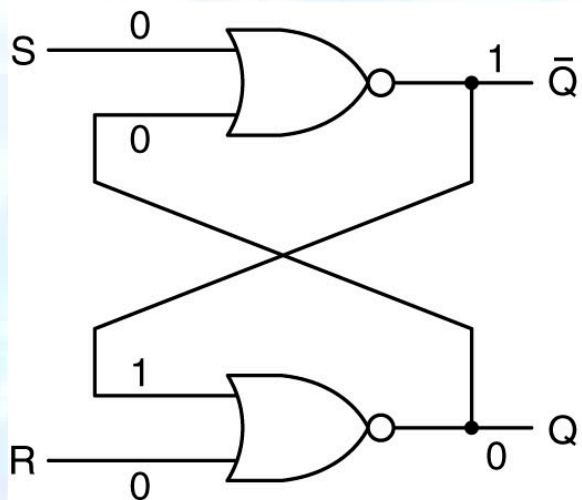


Память

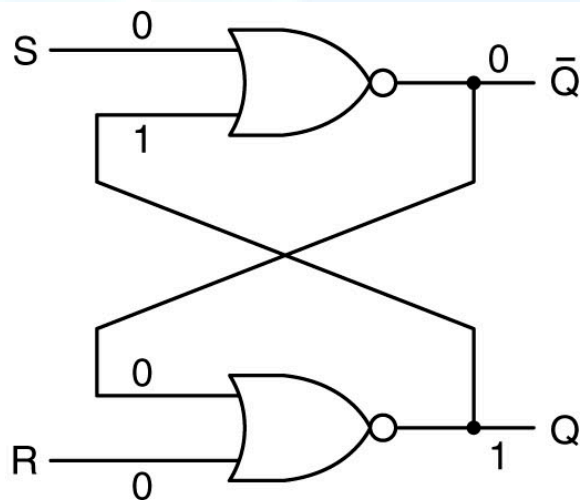
- Защёлки
- Синхронные SR-Защёлки
- Синхронные D-Защёлки



Защёлки



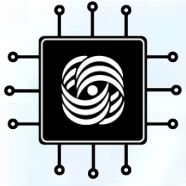
(a)



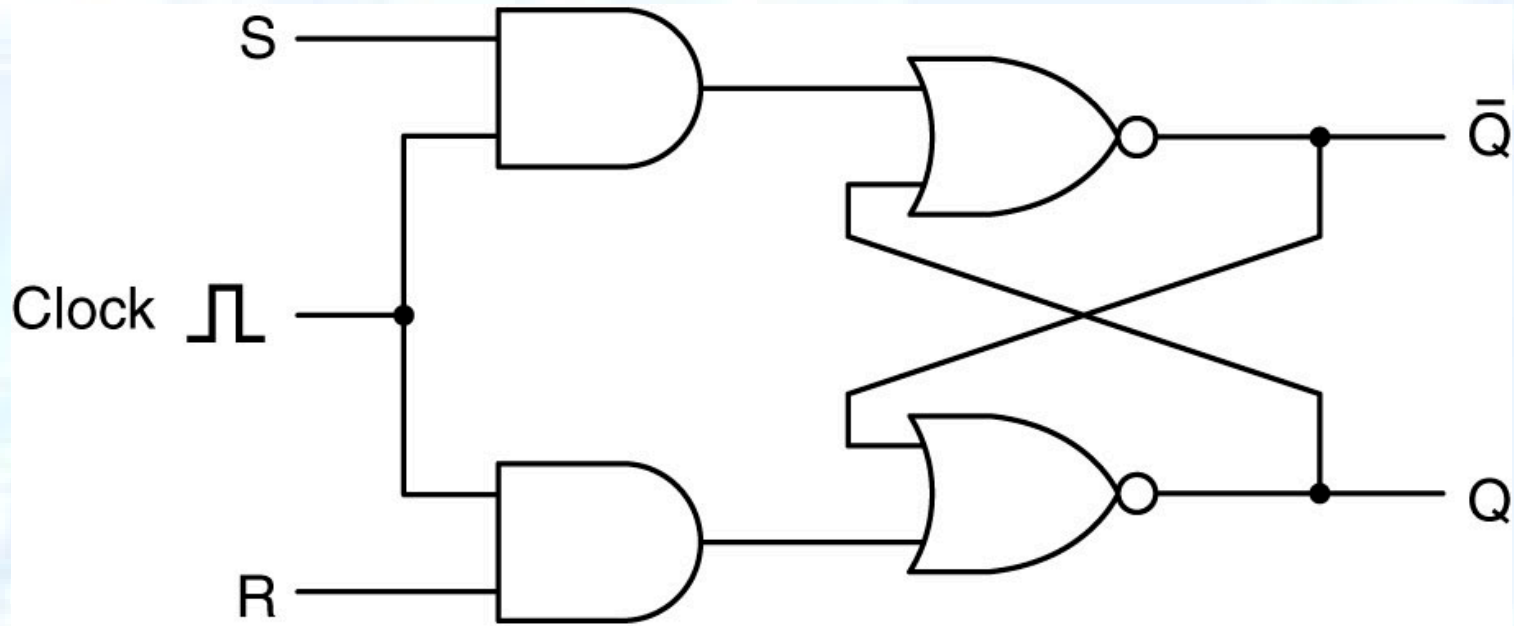
(b)

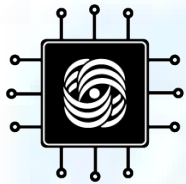
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

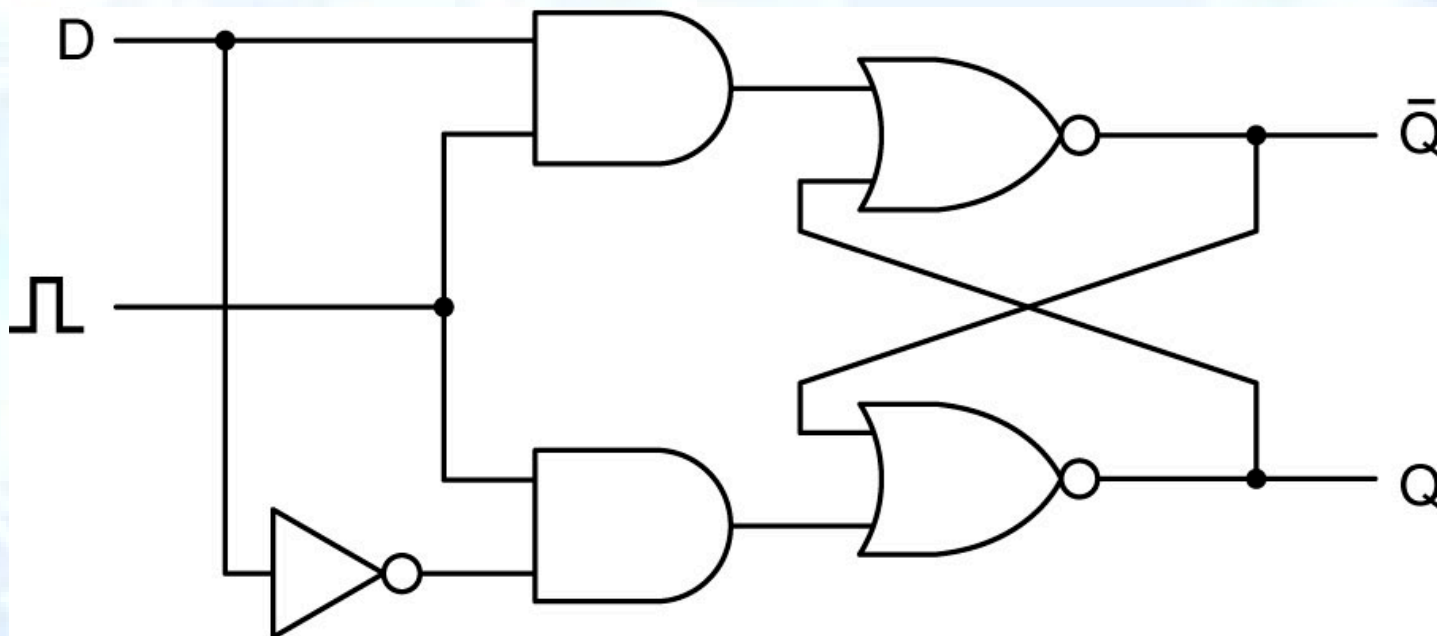


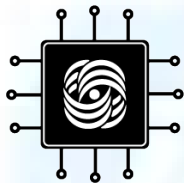
Синхронные SR-защёлки



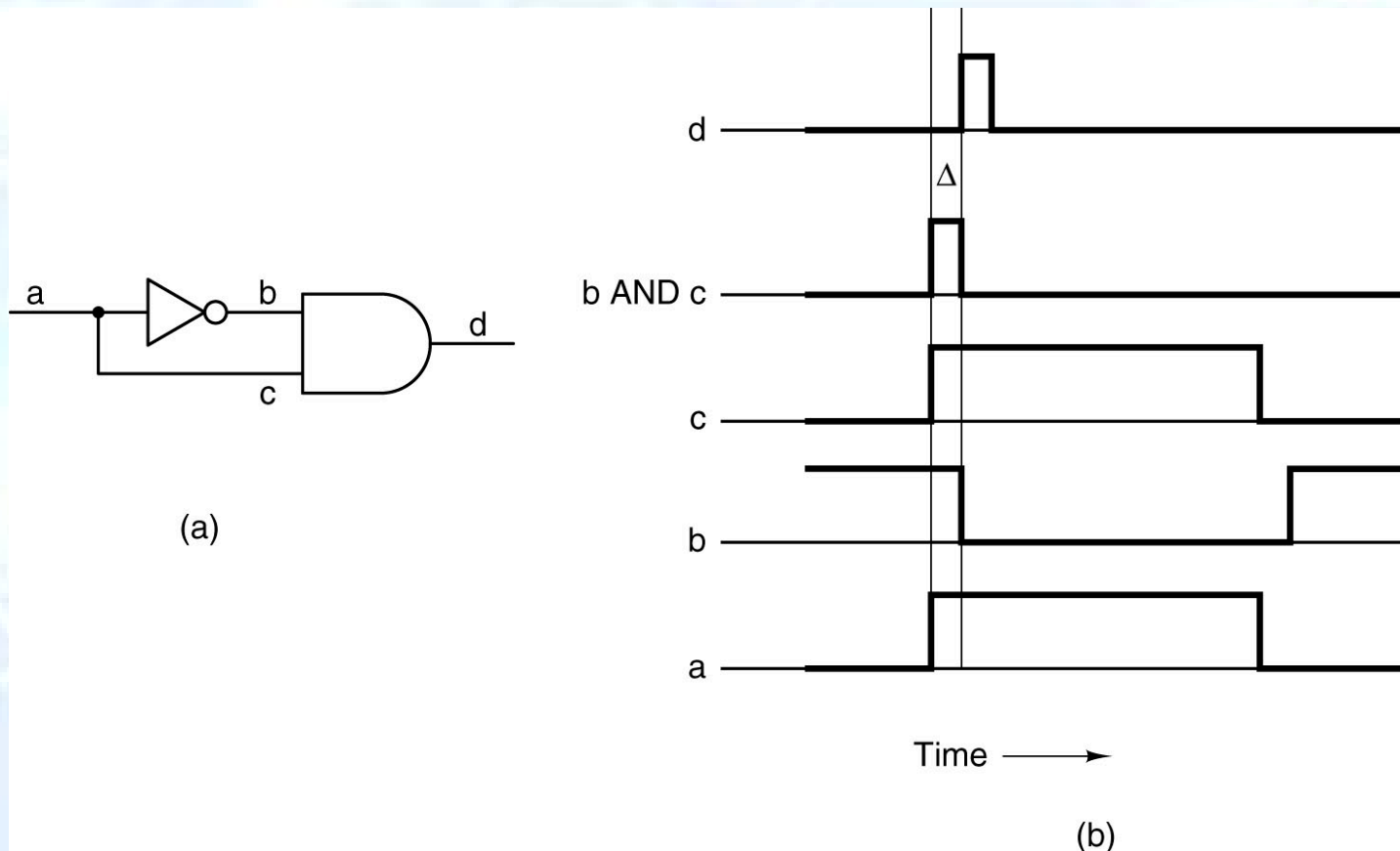


Синхронные D-защёлки



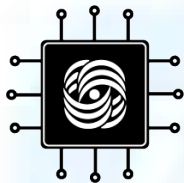


Триггеры

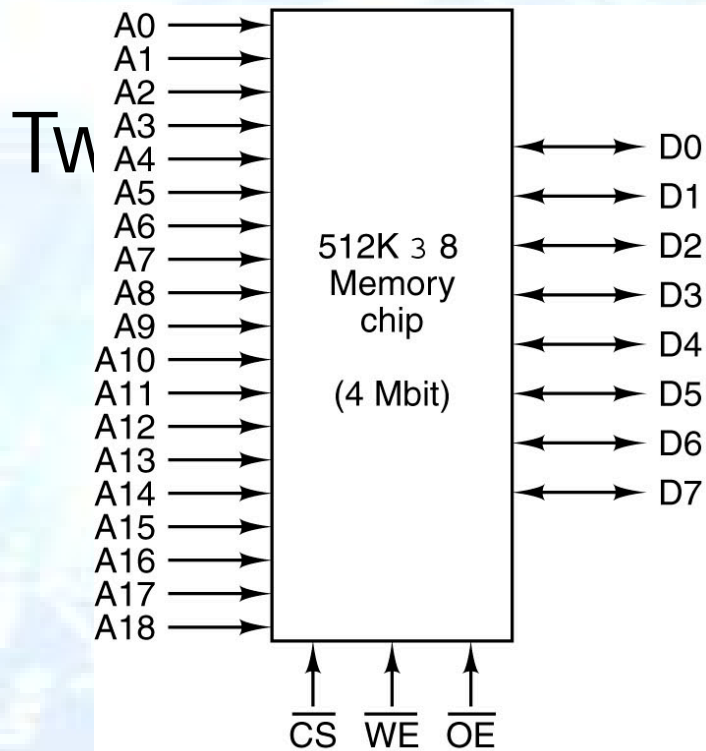


(a) Генератор импульса

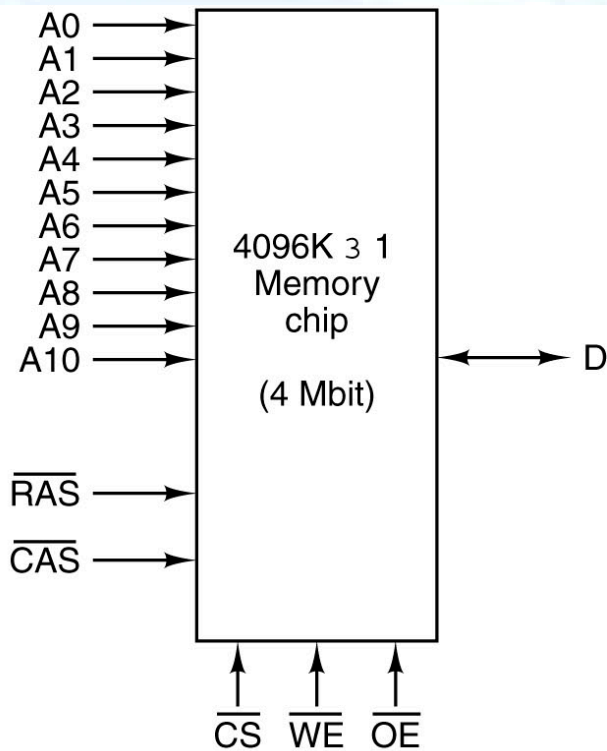
(b) Временная диаграмма для 4х точек



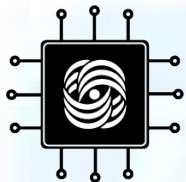
Чипы памяти (1)



(a)

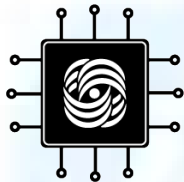


(b)

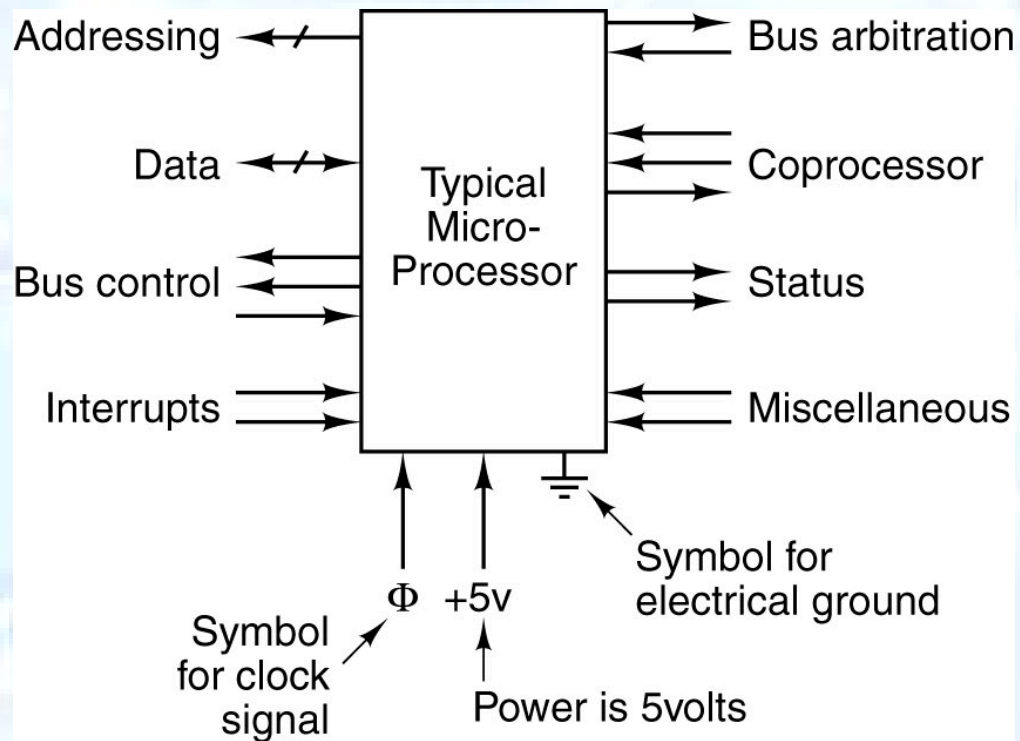


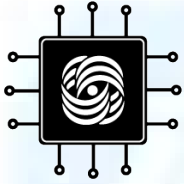
Виды чипов памяти

Тип	Категория	Стирание	Изменение байта	Питание	Применение
SRAM	Ч/З	Электр.	+	+	Кэш-память 2го уровня
DRAM	Ч/З	Электр.	+	+	ОП
SDRAM	Ч/З	Электр.	+	+	ОП
ROM	Ч	-	-	-	Устройства большого V
PROM	Ч	-	-	-	Устройства небольшого V
EPROM	Ч >> З	УФ	-	-	Моделирование
EEPROM	Ч >> З	Электр.	+	-	Моделирование
Flash	Ч/З	Электр.	-	-	Везде

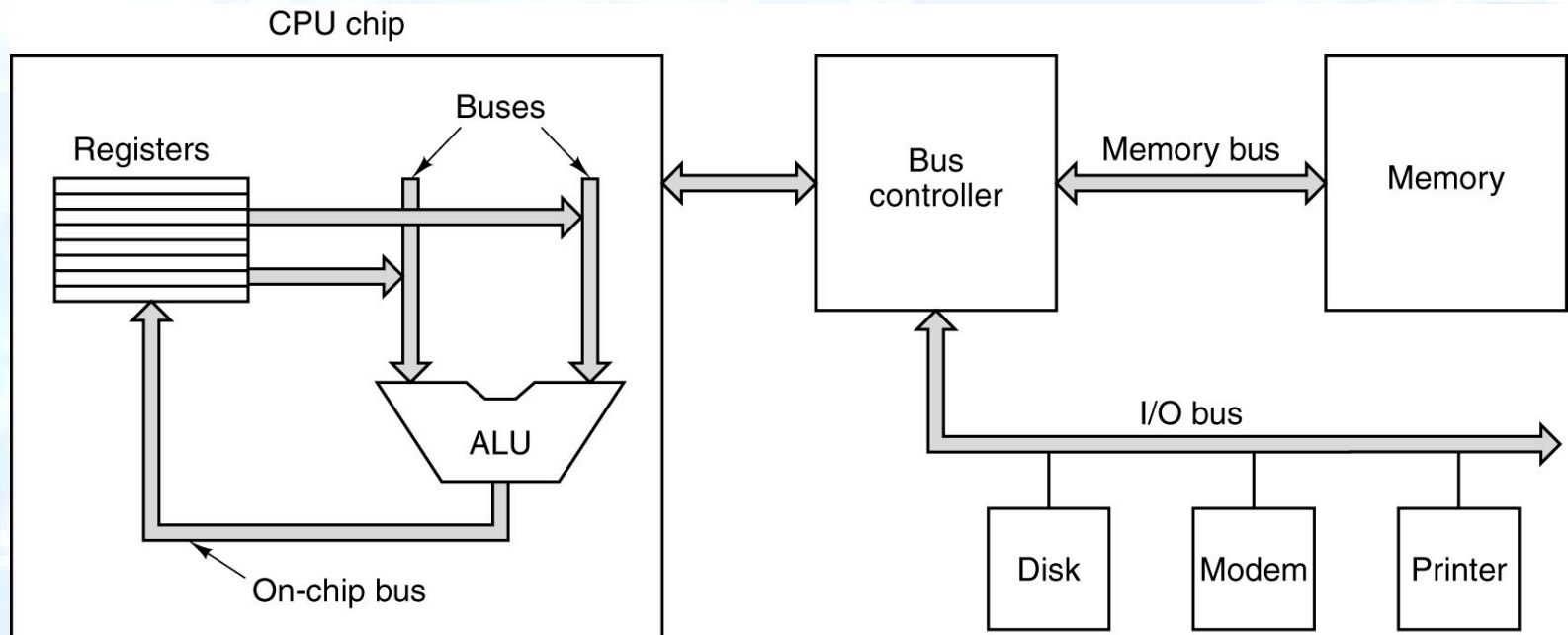


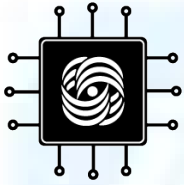
ЦПУ чипы





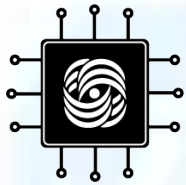
Шины передачи данных (1)





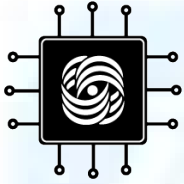
Шины

Master	Slave	Example
CPU	Memory	Fetching instructions and data
CPU	I/O device	Initiating data transfer
CPU	Coprocessor	CPU handing instruction off to coprocessor
I/O	Memory	DMA (Direct Memory Access)
Coprocessor	CPU	Coprocessor fetching operands from CPU

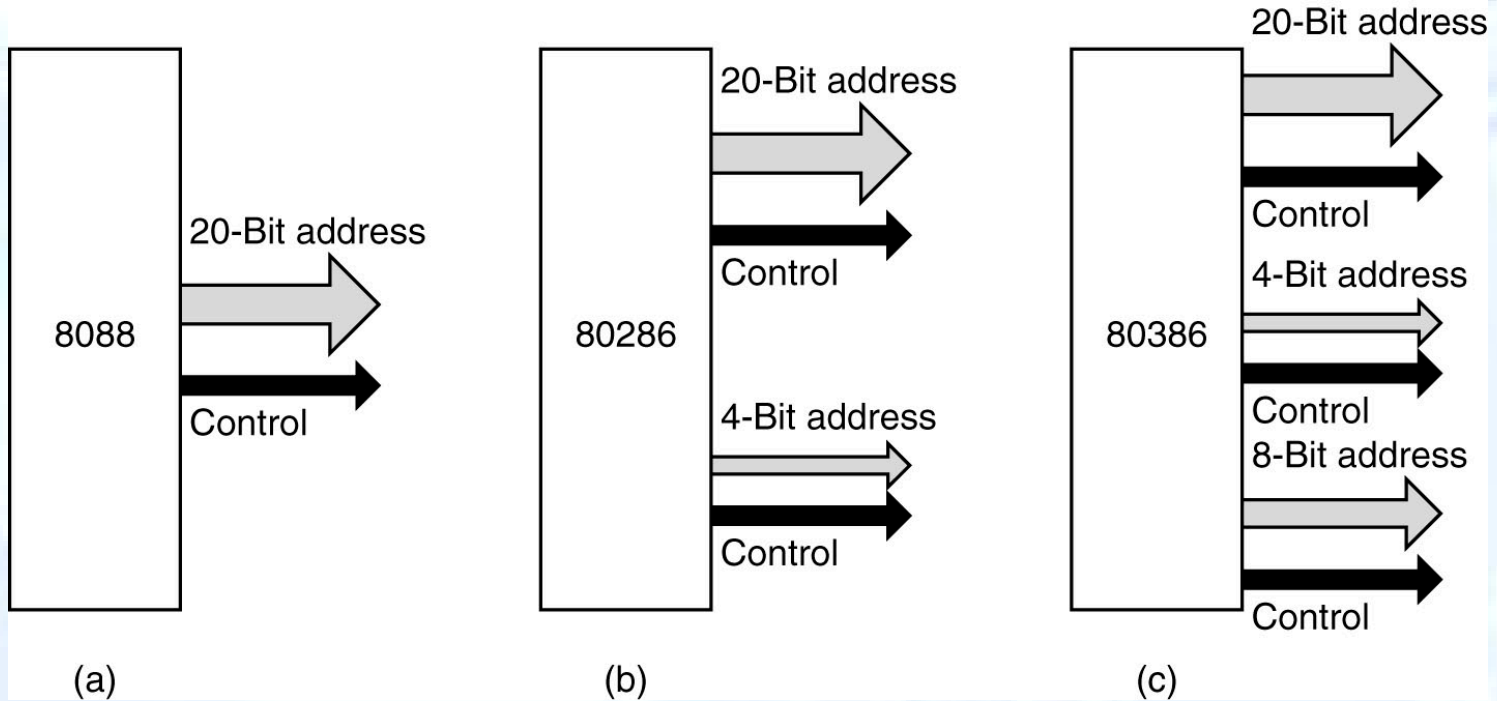


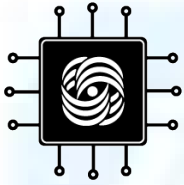
Характеристики шин

- Ширина шины
- Синхронизация шины
- Арбитраж шины

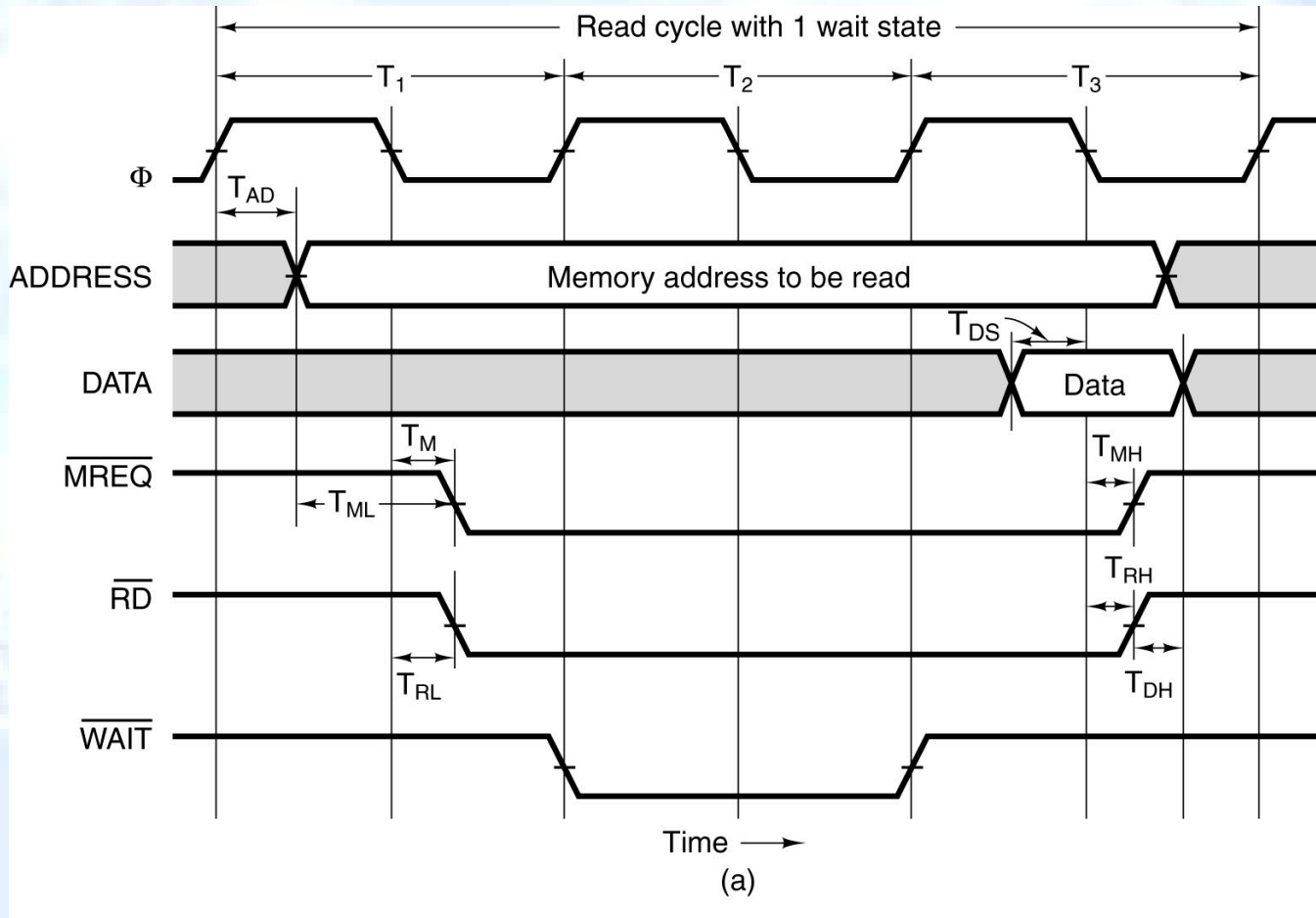


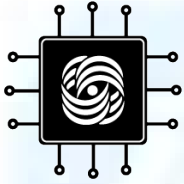
ISA Шина



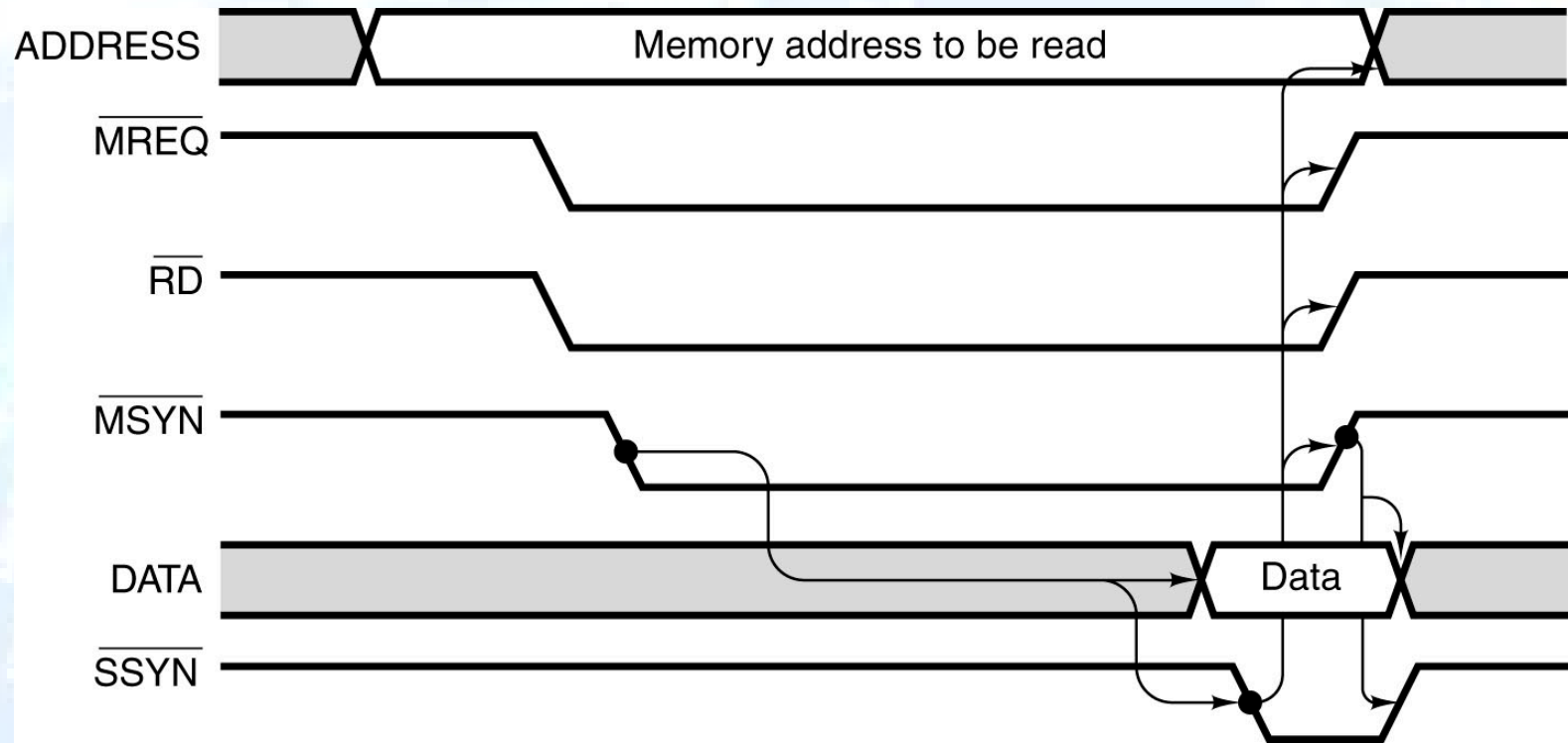


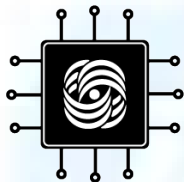
Передача данных



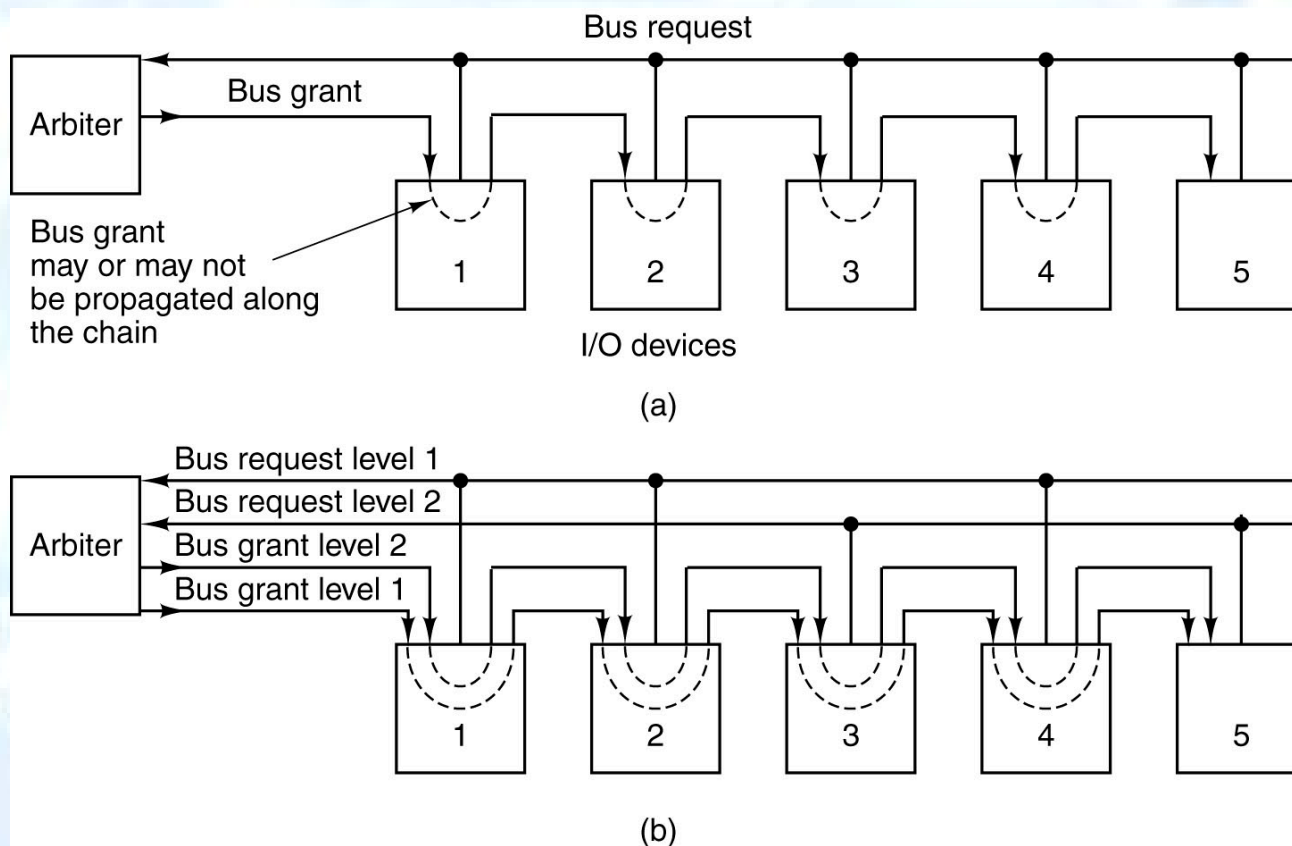


Асинхронная шина

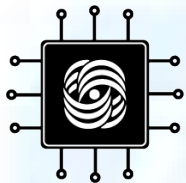




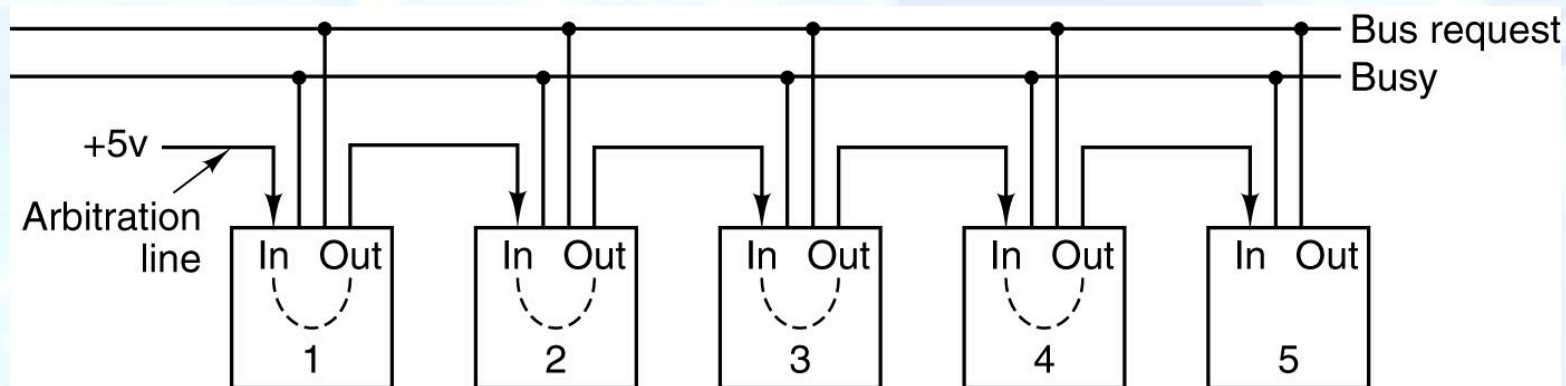
Арбитраж



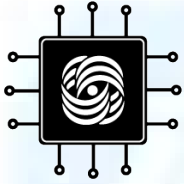
- (a) Одноуровневый централизованный арбитраж
- (b) Двуровневый централизованный арбитраж



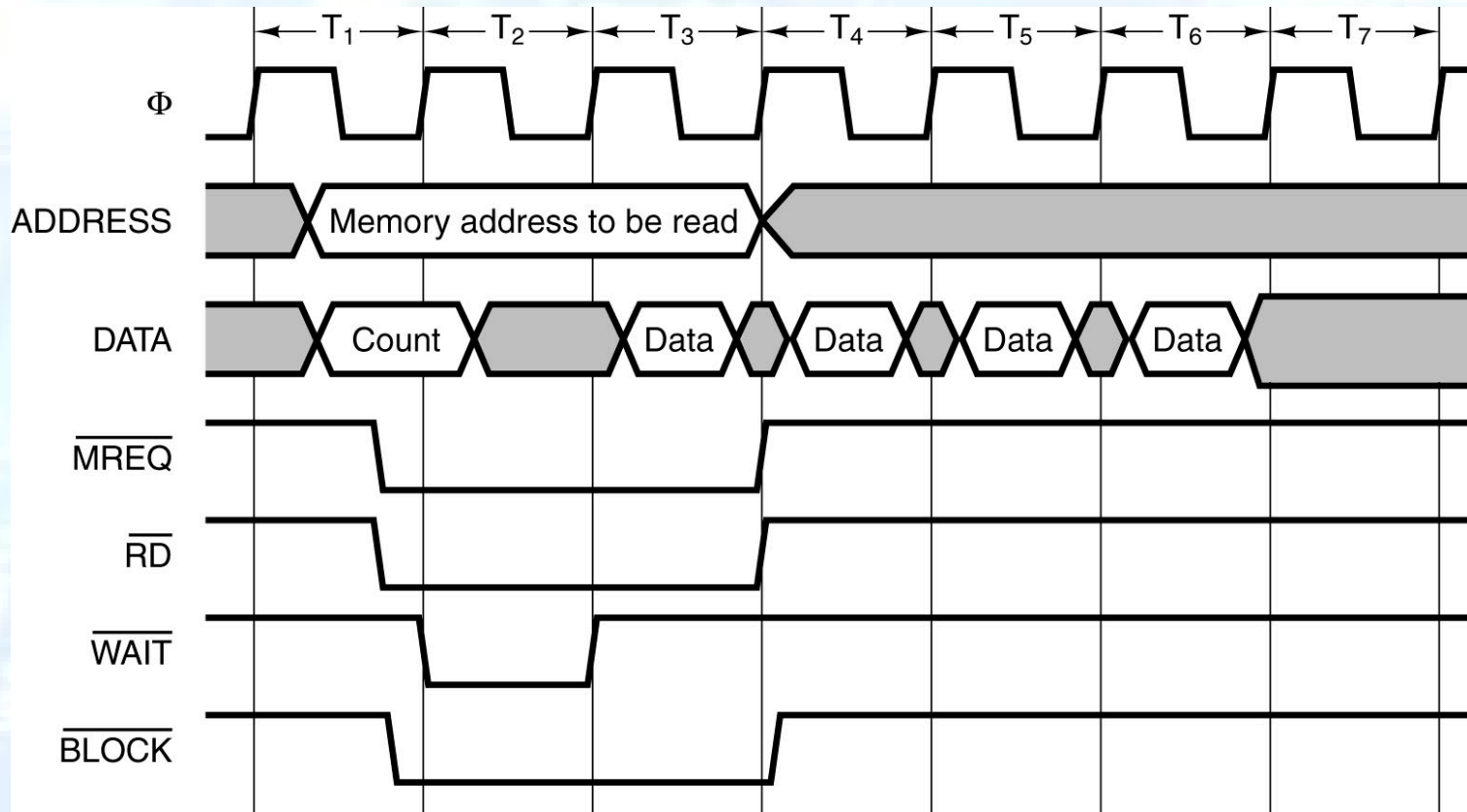
Арбитраж (2)

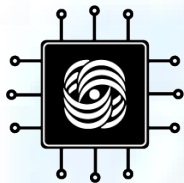


Децентрализованный арбитраж.

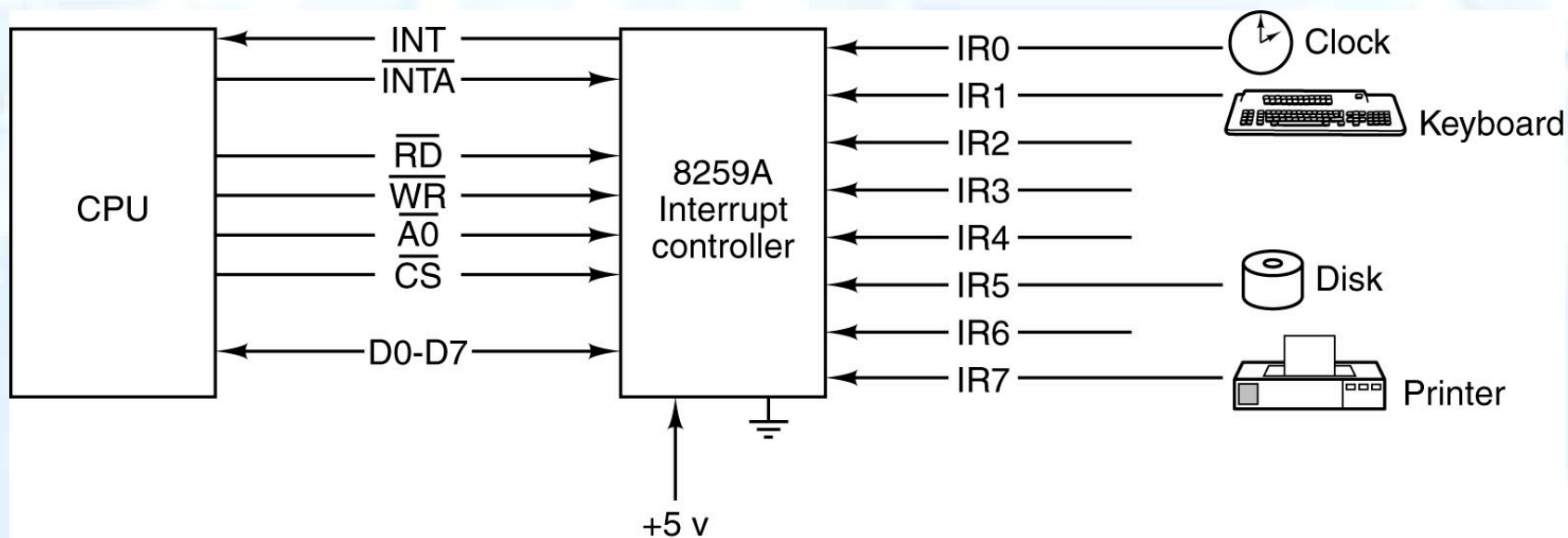


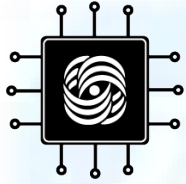
Операции (1)



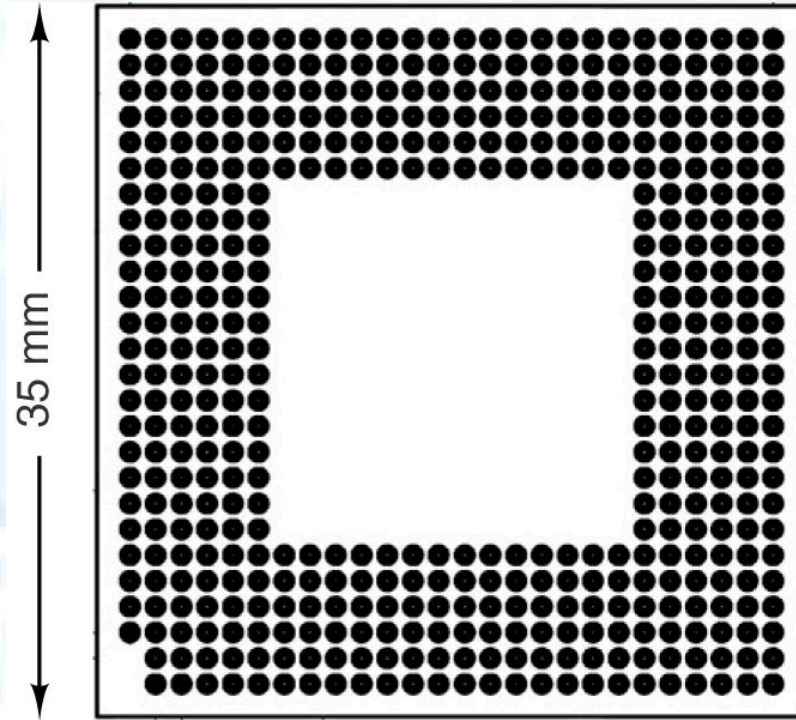


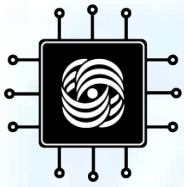
Операции (2)



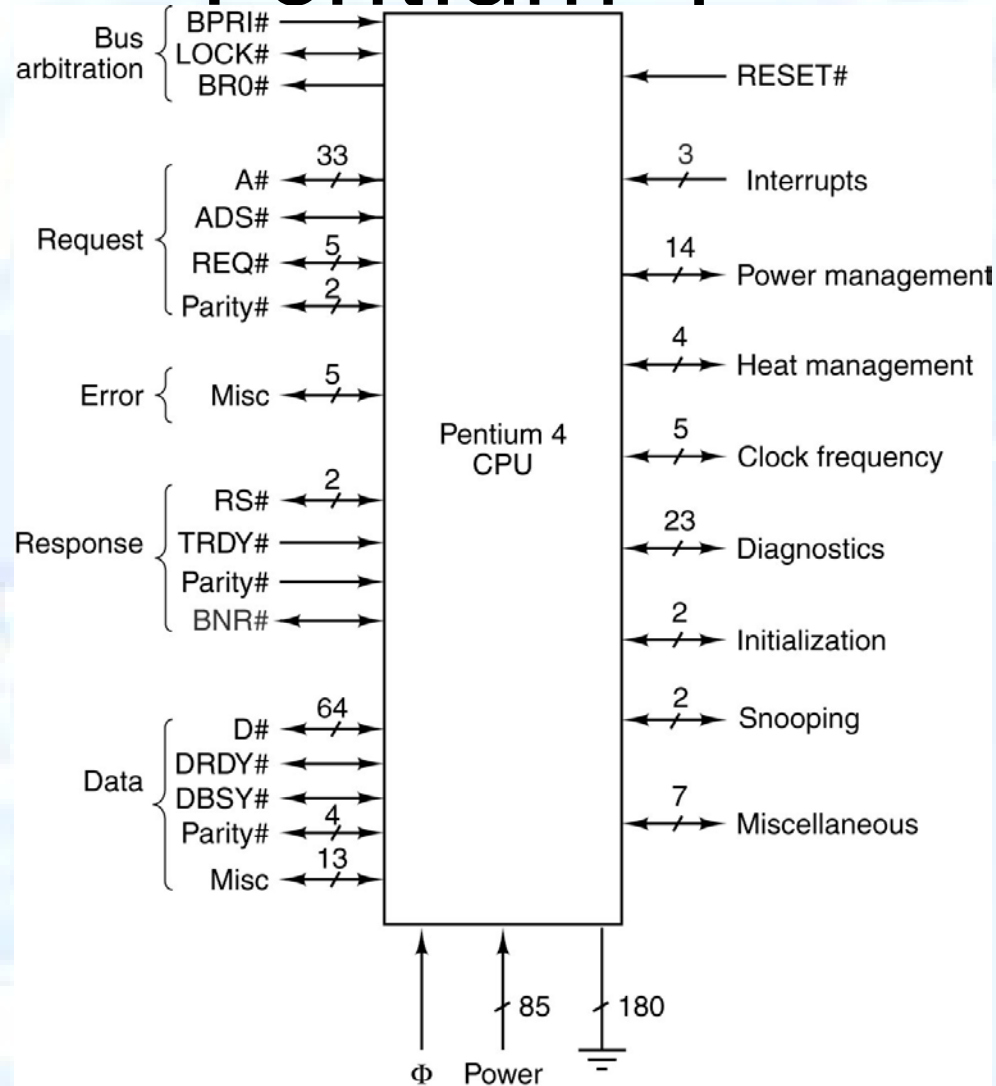


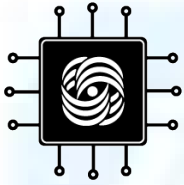
The Pentium 4





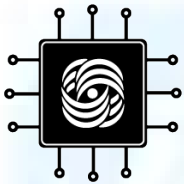
Цоколевка процессора Pentium 4



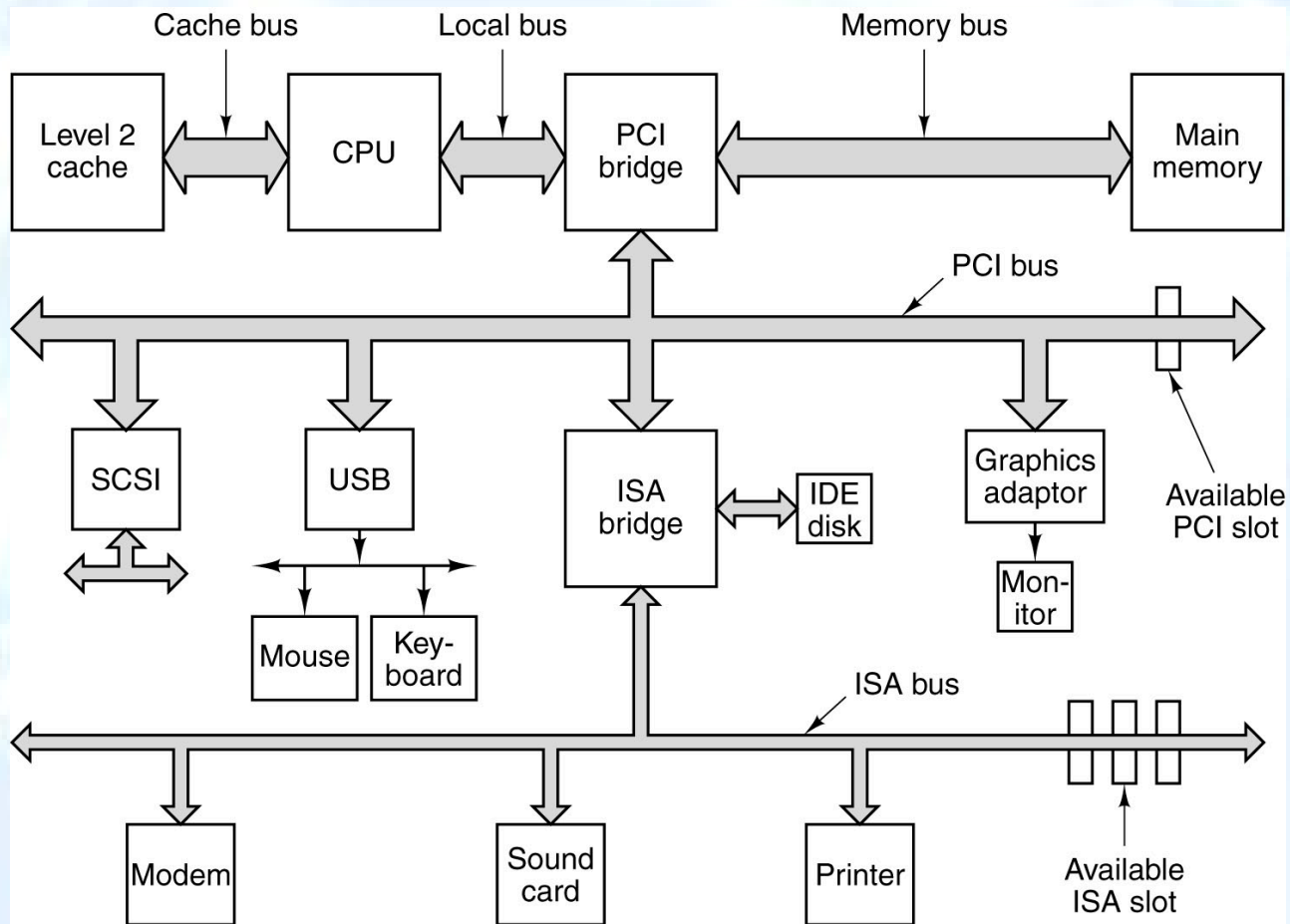


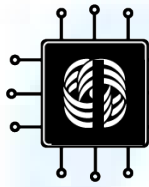
Транзакции процессора Pentium 4

- Арбитраж шины
- Запрос
- Сообщение об ошибке
- Слежение
- Ответ
- Передача данных

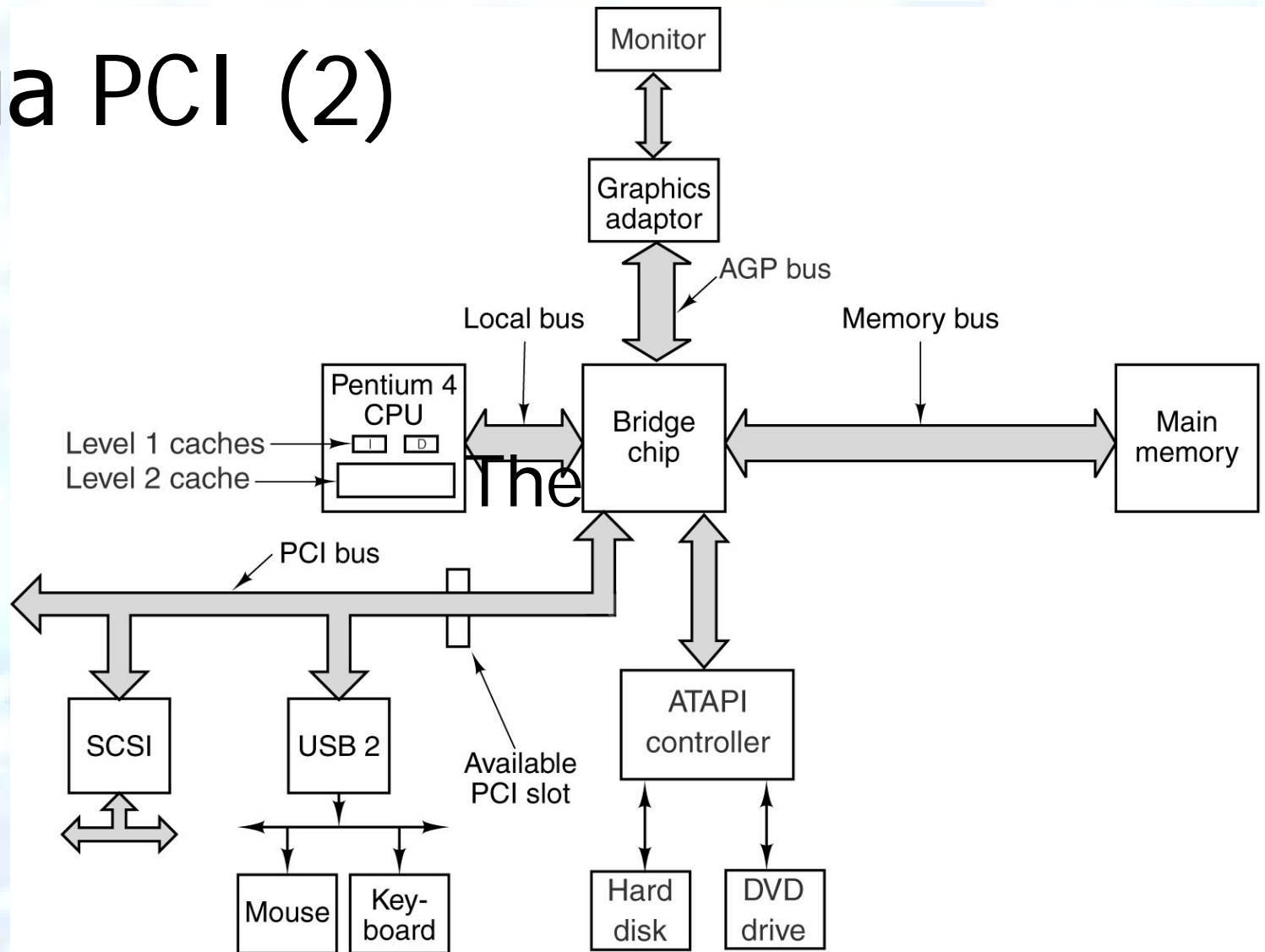


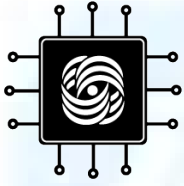
Шина PCI (1)



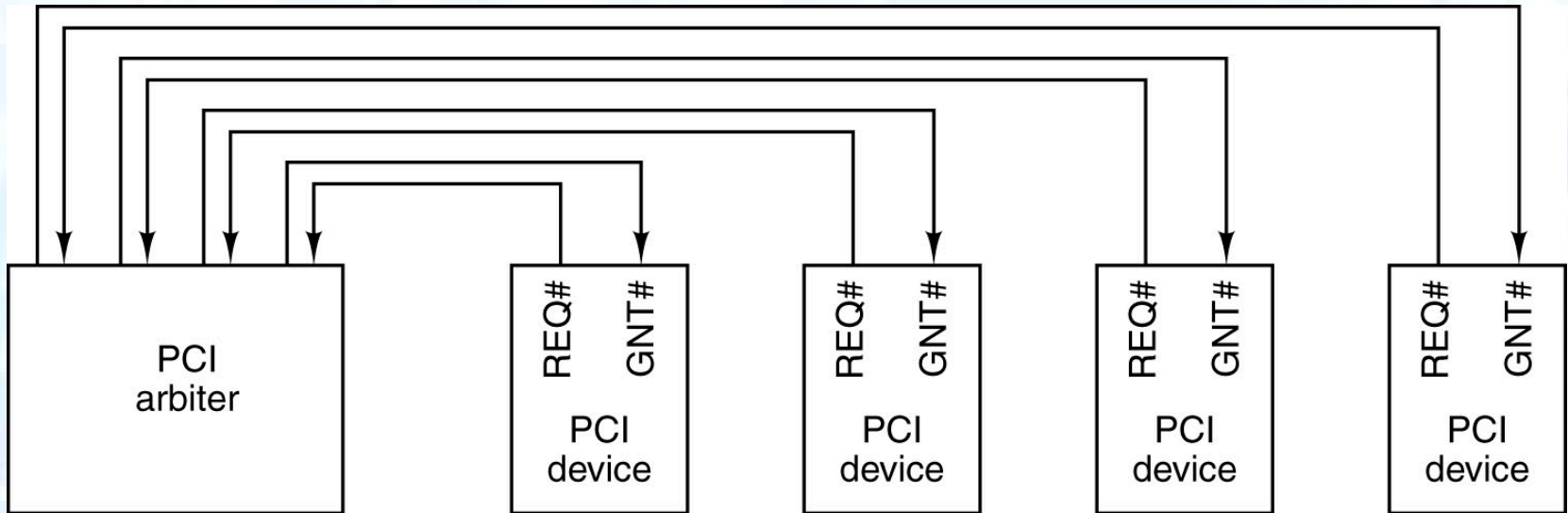


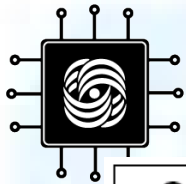
ина PCI (2)





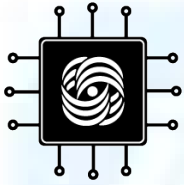
Арбитраж шины PCI





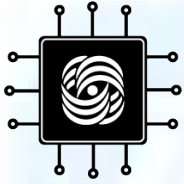
Сигналы шины PCI (1)

Signal	Lines	Master	Slave	Description
CLK	1			Clock (33 MHz or 66 MHz)
AD	32	×	×	Multiplexed address and data lines
PAR	1	×		Address or data parity bit
C/BE	4	×		Bus command/bit map for bytes enabled
FRAME#	1	×		Indicates that AD and C/BE are asserted
IRDY#	1	×		Read: master will accept; write: data present
IDSEL	1	×		Select configuration space instead of memory
DEVSEL#	1		×	Slave has decoded its address and is listening
TRDY#	1		×	Read: data present; write: slave will accept
STOP#	1		×	Slave wants to stop transaction immediately
PERR#	1			Data parity error detected by receiver
SERR#	1			Address parity error or system error detected
REQ#	1			Bus arbitration: request for bus ownership
GNT#	1			Bus arbitration: grant of bus ownership
RST#	1			Reset the system and all devices

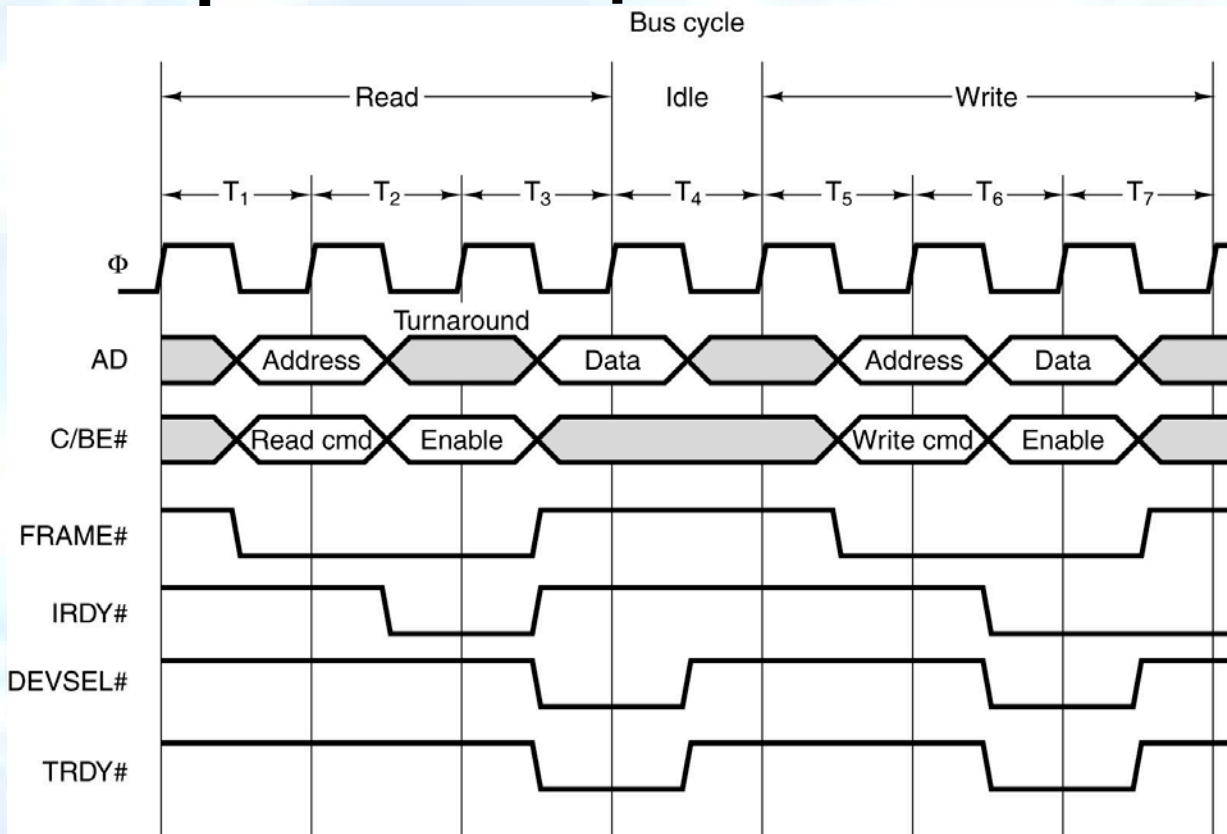


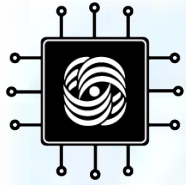
Сигналы шины PCI (2)

Signal	Lines	Master	Slave	Description
REQ64#	1	×		Request to run a 64-bit transaction
ACK64#	1		×	Permission is granted for a 64-bit transaction
AD	32	×		Additional 32 bits of address or data
PAR64	1	×		Parity for the extra 32 address/data bits
C/BE#	4	×		Additional 4 bits for byte enables
LOCK	1	×		Lock the bus to allow multiple transactions
SBO#	1			Hit on a remote cache (for a multiprocessor)
SDONE	1			Snooping done (for a multiprocessor)
INTx	4			Request an interrupt
JTAG	5			IEEE 1149.1 JTAG test signals
M66EN	1			Wired to power or ground (66 MHz or 33 MHz)

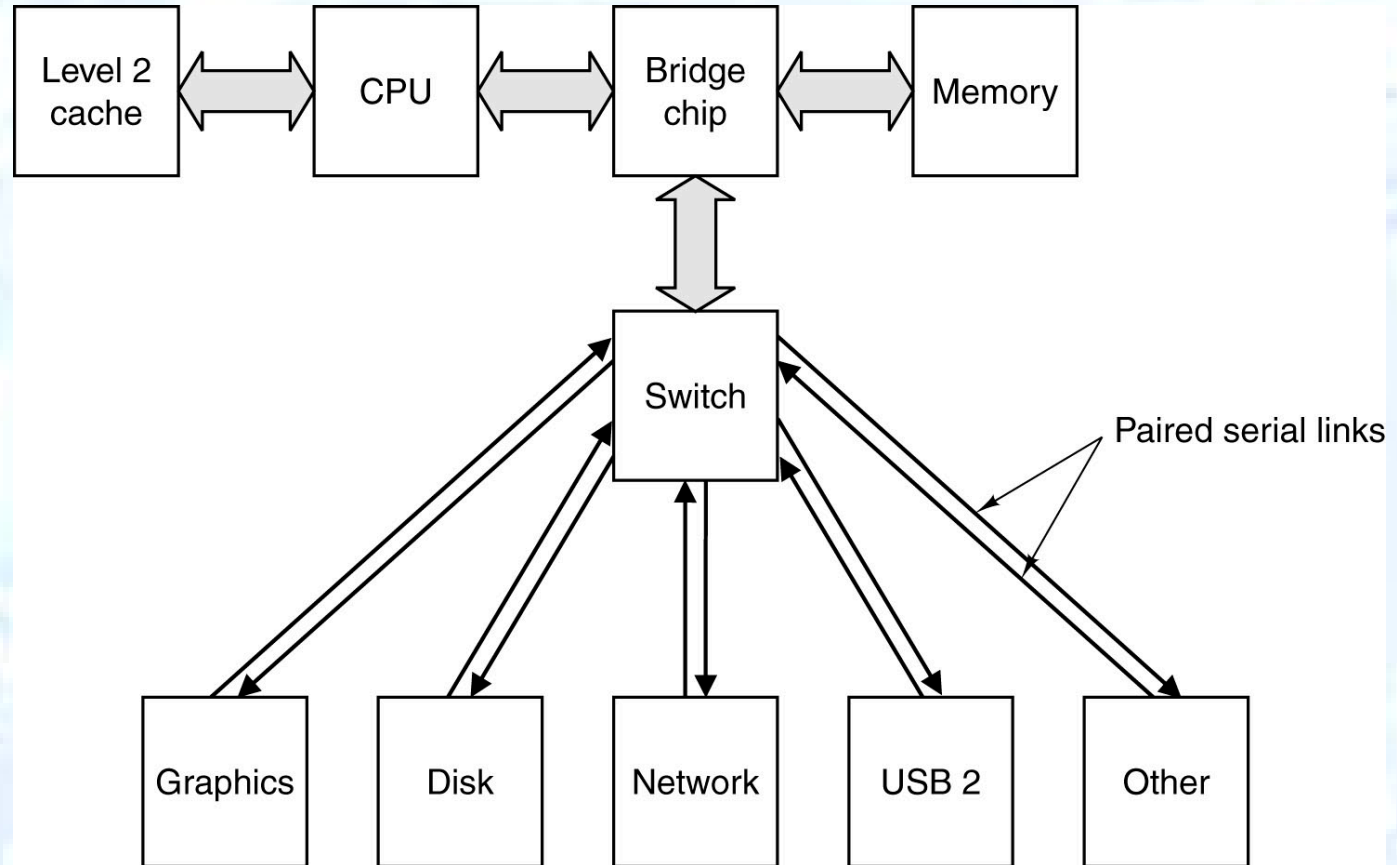


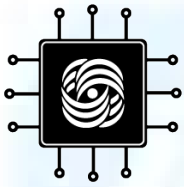
Транзакции шины PCI



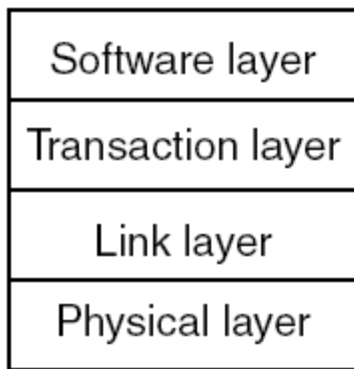


PCI Express

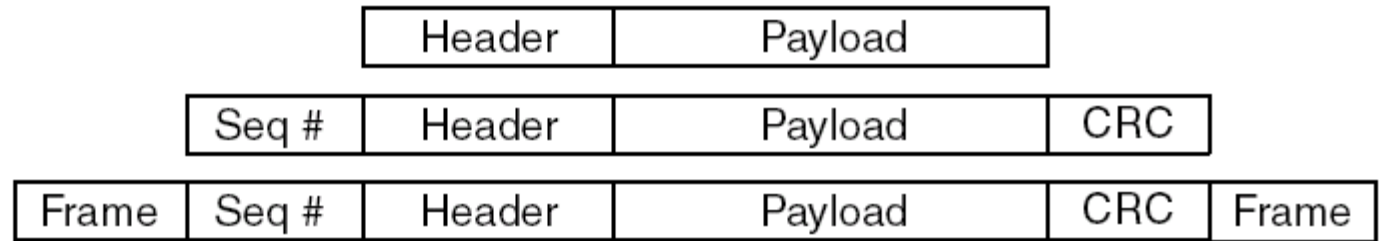




Стек протоколов шины PCI Express



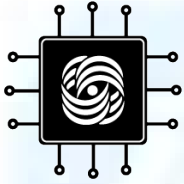
(a)



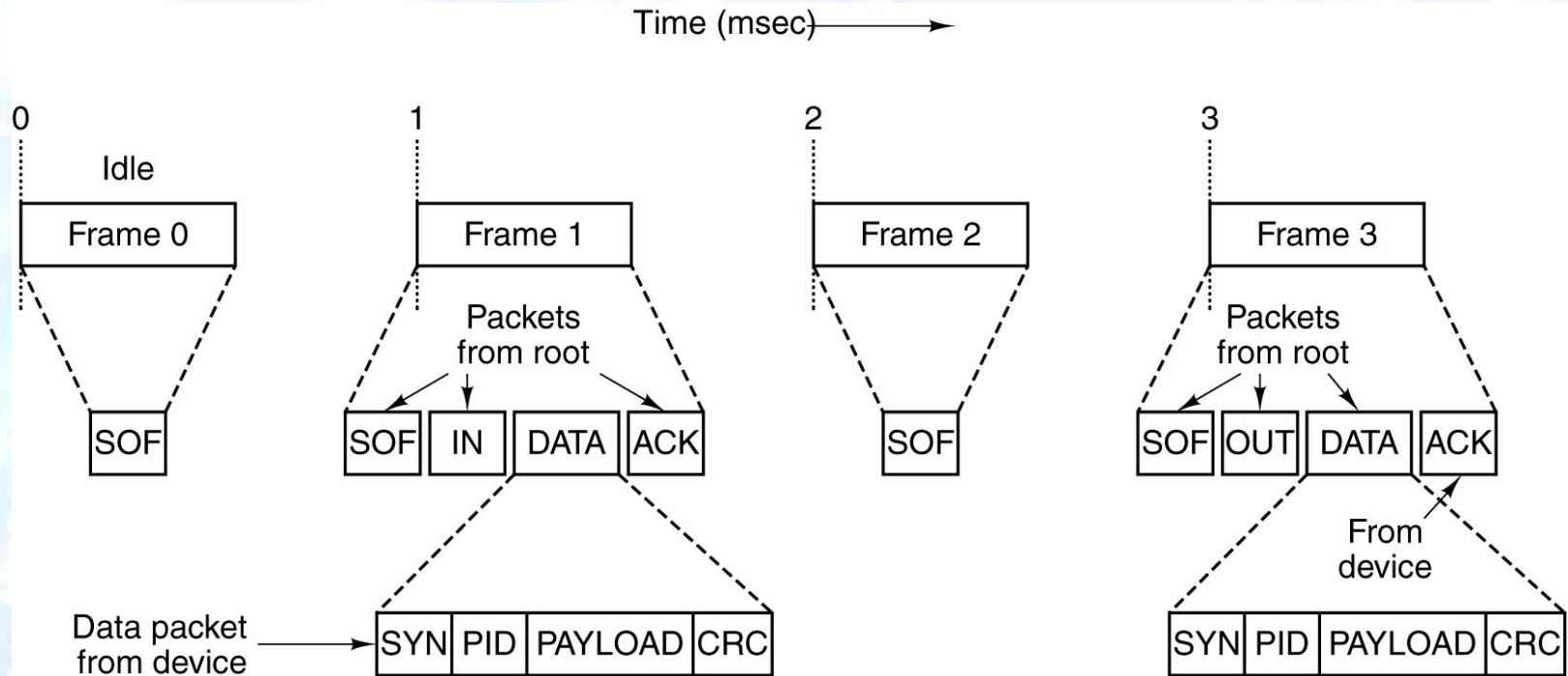
(b)

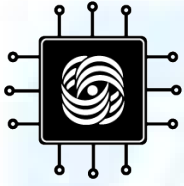
(a) Стек протокола The PCI Express

(b) Формат пакета.



Шина The Universal Serial Bus





Спасибо за внимание!